

电源管理系统

RC5T616x

产品规格书

Rev. 1.0

2012.06.05

RICOH

RICOH COMPANY, LTD.
Electronic Devices Company

此规格书如有更改，不另行通知。

目录

1. 概述	5
2. 特性	5
3. 管脚配置	7
4. 结构框图	8
5. 管脚说明	10
6. 电源控制	12
6.1 电源控制结构框图	12
6.2 开关机	13
6.3 软复位操作	15
6.4 Stand-by 模式操作	16
6.5 VBAT 检测电气特性	17
6.6 RESDET D 电压检测电气特性	17
6.7 低压保护 (UVLO) 电气特性	18
6.8 过温保护电路 (TSHUT) 电气特性	18
7. 稳压电源	19
7.1 稳压电源输出表	19
7.2 降压 DC/DC 转换器	20
7.3 LDO	25
8. 升压 DCDC 及 LED 驱动	32
8.1 升压 DCDC 及 LED 驱动	32
8.2 升压 DCDC 及 LED 驱动的结构框图	32
8.3 升压 DCDC 及 LED 驱动的开关时序	33
8.4 升压 DCDC Limit 电流检测中断控制	33
8.5 升压 DCDC 电气特性	33
8.6 LED 驱动电气特性	33
9. 锂电池充电器	34
9.1 锂电池充电框图	34
9.2 充电操作说明	35
9.3 充电中断请求	40
9.4 锂电池充电的电气特性	41
10. 中断控制器 (INTC)	43

10.1	中断控制器框图	43
10.2	中断时序图	44
10.3	中断请求列表	45
11.	音频编解码器	46
11.1	音频编解码器特性	46
11.2	音频编解码器结构框图	47
11.3	音频编解码器概述	48
11.4	音频编解码器流结构框图	50
11.5	音频编解码器电气特性	51
11.6	扬声器放大器电气特性	52
11.7	音频 ADC 路径电气特性	53
11.8	音频数据串行接口时序	54
11.9	PLL 电气特性	55
11.10	数字麦克风接口时序	55
11.11	REGMIC 电气特性	56
11.12	LDO 电气特性	57
11.13	音频编解码器模块	58
11.14	音频数据串行数据格式	59
11.15	PLL	60
11.16	数字麦克风接口 / GPIO 功能接口	62
11.17	REGMIC	63
11.18	Protect of the Speaker Amp	64
11.19	扬声器放大器的 PCB 布线设计	66
12.	CPU 接口	67
12.1	I2C 总线操作	67
12.2	I2C 总线数据传输及应答	68
12.3	I2C 总线从机地址	68
12.4	I2C 总线数据传输读操作	69
12.5	I2C 总线数据传输写操作	69
12.6	I2C 总线内部寄存器写入时序	70
12.7	I2C 总线瞬态特性	71
13.	寄存器	72
13.1	电源控制	74
13.2	电源输出	76
13.3	升压 DCDC 和 LED 驱动	86
13.4	锂电池充电器	88
13.5	中断控制器	93

13.6	音频编解码器	98
14.	电气特性	126
14.1	最大绝对额定值	126
14.2	推荐工作条件	126
14.3	DC 特性	127
15.	附录	130
15.1	外部器件	130
15.2	音频编解码器设置过程实例	132

1. 概述

RC5T616 是一款为 GPS-PND/MID 和 Smart-Phone 应用开发的电源管理芯片。

该芯片主要集成了 4 路高效降压 DCDC, 7 路 LDO, 电源控制逻辑, 锂电池充电模块, Audio CODEC, Class-D 话筒放大器, 1 路供 LED 驱动的升压-DCDC, I2C 总线接口, 电压检测模块, 温度保护模块, 低电压输入保护模块, 等等。

2. 特性

●系统功能

- ✓ I2C 总线控制接口 (输入频率 400kHz, 输入电压范围: 1.7V-3.4V)
- ✓ 电压检测功能 (复位检测, 电池电压检测, UVLO)
- ✓ 高温自切断温度保护功

●高效降压 DC/DC 转换器

- ✓ DC/DC1 0.9 to 1.5V by I2C (具有 DVS 功能) @ 1000mA (for Core)
- ✓ DC/DC2 0.9 to 1.5V by I2C (具有 DVS 功能) @ 1000mA (for Int)
- ✓ DC/DC3 1.2V to 1.8V (外部电阻调整) @ 1000mA (for Memory)
- ✓ DC/DC4 1.8V to 3.3V (外部电阻调整) @ 800mA (for Cam)
- ✓ 软启动电路

●低压差线性稳压器 LDO 电压输出

- ✓ LDO1 1.8 to 3.3V by I2C @ 300mA (for SYS)
- ✓ LDO2 3.3V @ 50mA (for OTG33)
- ✓ LDO3 1.1V @ 20mA (for Alive)
- ✓ LDO4 1.1V @ 50mA (for PLL)
- ✓ LDO5 1.2 to 3.3V by I2C @ 300mA (for PERI)
- ✓ LDO6 2.5 to 3.3V by I2C @ 10mA (for RTC)
- ✓ LDO7 1.8 to 3.3V by I2C @ 150mA (for Memory)
- ✓ 过流保护及短路保护功能

●锂电池充电

- ✓ 具有过电流保护功能和充电电流控制
- ✓ 在锂电池被拔出或者锂电池的输出电压过低的情况下, 使系统也可以开机
- ✓ 支持涓流充电及快速充电模式
- ✓ 电源路径控制
- ✓ 过温保护功能

●音频编解码器

- ✓ 音频 DAC : 2 路
- ✓ 音频 ADC
- ✓ 拥有麦克风偏置的立体声麦克风接口
- ✓ 立体声数字麦克风接口
- ✓ 立体声线路输入接口
- ✓ 立体声耳机放大器 : Class-AB
- ✓ 立体声线性输出放大器
- ✓ 单声道扬声器前置放大器
/ Class D 单声道扬声器放大器
- ✓ Pop 及 Zipper 抑制
- ✓ 片上 PLL : 2ch
- ✓ 串行接口 : 2ch
- ✓ 串行接口格式 t : PCM mode format / IIS format
- ✓ 采样率
48kHz, 44.1kHz, 32kHz, 24kHz, 22.05kHz, 16kHz, 12kHz, 11.025kHz, 8kHz

●Class-D 扬声器放大器

- ✓ 单麦声道扬声器放大器 : Class-D

●升压 DCDC 和 LED 驱动

- ✓ LED 驱动(240mA)用升压 DCDC 转换器(5V)
- ✓ 12 路 LED 驱动(20mA) 1.67mA 步长

●Package 9.0mm□CSP 144pin

●Process CMOS

● E-Fuse (Trimming) 设定列表

E-Fuse 概况	DCDC1	DCDC2	DCDC3	DCDC4	LDO1	LDO2	LDO3	LDO4	LDO5	LDO6	LDO7
输出电压	1.00V	1.20V	*1	*1	1.80V	3.10V	1.20V	1.20V	3.30V	3.30V	3.30V
	0.90V	0.90V			3.30V	3.20V	1.00V	1.00V	1.20V	3.00V	1.80V
	1.00V	1.00V			3.30V	3.30V	1.10V	1.10V	1.80V	2.50V	
	1.10V	1.10V									

E-Fuse 概况	快速充电时开机	RESDET(VD2)	ILIM/ICHGSET
有效/无效	有效		
	无效		
检出电压		1.53V	
		2.81V	
限制电流/ 快速充电电流			800mA / 500mA
			1000mA / 500mA

注*1: 输出电压由外部电阻调整

3. 管脚配置

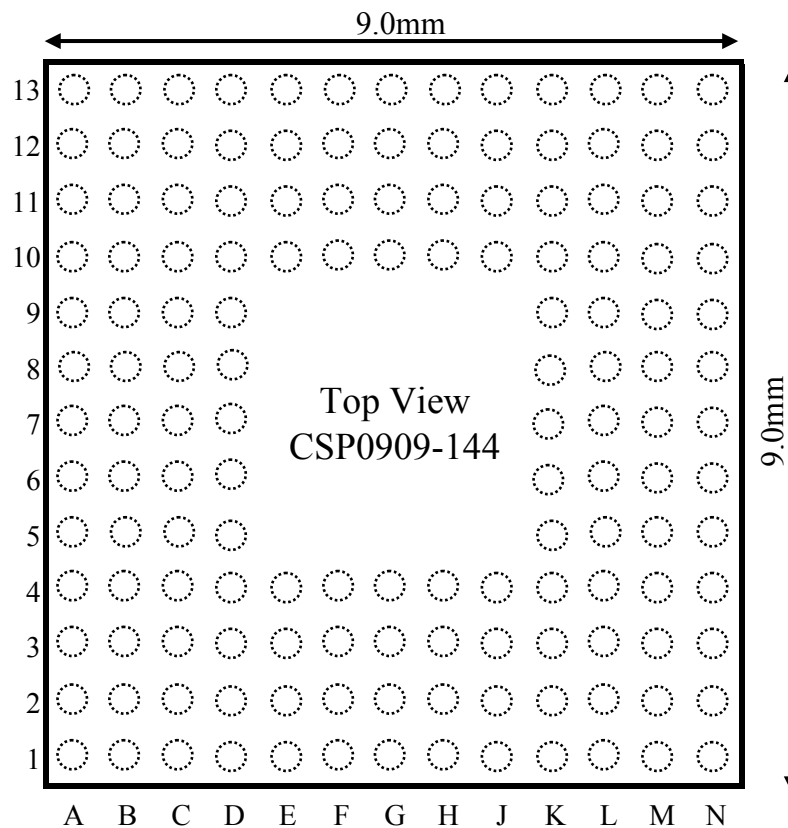


图. 3-1 封装

13	TOUT0	COVREF	LOR	LOL	HPR	HPL	MICBIAS	DMICCK P0	MCKO	VCHG	VSYS	VSYS	VSYS	
12	TOUT1	TOUT3	TOUT5	PCC	HPAGND	VOUT_HPA	VOUT_PLL	DMICDT P1	MCK1	VCHG	VCHG	VSYS	VBAT	
11	TOUT4	TOUT2	TOUT6	COAGND	SPPO	VOUT_COA	APLLC	DMICVDD	SDA	BCK2	CHGLED	VBAT	VBAT	
10	MICRN	MICRP	TOUT7	LIR	VDDIO	VINC	APLL2C	PLLGNL	SCL	DIN2	LRCK2	GNDCHG	VBAT	
9	MICLP	MICLN	LIL	DOUT	TOP VIEW						THERMBAT	VTMH	VCHGREG	IMONI
8	SPAGND	BCK	DIN	LRCK							GND	VOUT2	VINL1	VOUT1
7	SPOP	SPOP	SPREF	SPAI							VREF	VOUT7	VOUT4	VOUT3
6	SPGND	SPGND	SPAVDD	SPOPFB							VOUTD	VOUT6	VINL2	VOUT5
5	SPON	SPON	SPONFB	DD1SEL0	PWRON	DDVFBB	DDLXB1	GNDDBB						
4	SPVDD	SPVDD	DD1SEL1	DD2SEL0	DD2EN	GND	CDRVD1	CDRVD5	INTB	ONB	VINCOM	DDLXB2	VINDDBB	
3	SLEEPB	DD2SEL1	PSHOLD	DD1EN	DD3EN	VFB3	VFB4	CDRVD3	CDRVD4	CDRVD7	BATDET	RESETO	OSENSE	
2	DD4EN	VFB1	LX1	VINP2	VFB2	GNDP3	VINP3	LX4	CDRVD2	CDRVD6	CDRVD8	CDRVD11	ISENSE	
1	NC	GNDP1	VINP1	LX2	GNDP2	LX3	VINP4	GNDP4	CDRVD0	GNDLED	CDRVD9	CDRVD10	TEST	
	A	B	C	D	E	F	G	H	J	K	L	M	N	

图.3-1 封装信息 (CSP0909-144 管脚)

4. 结构框图

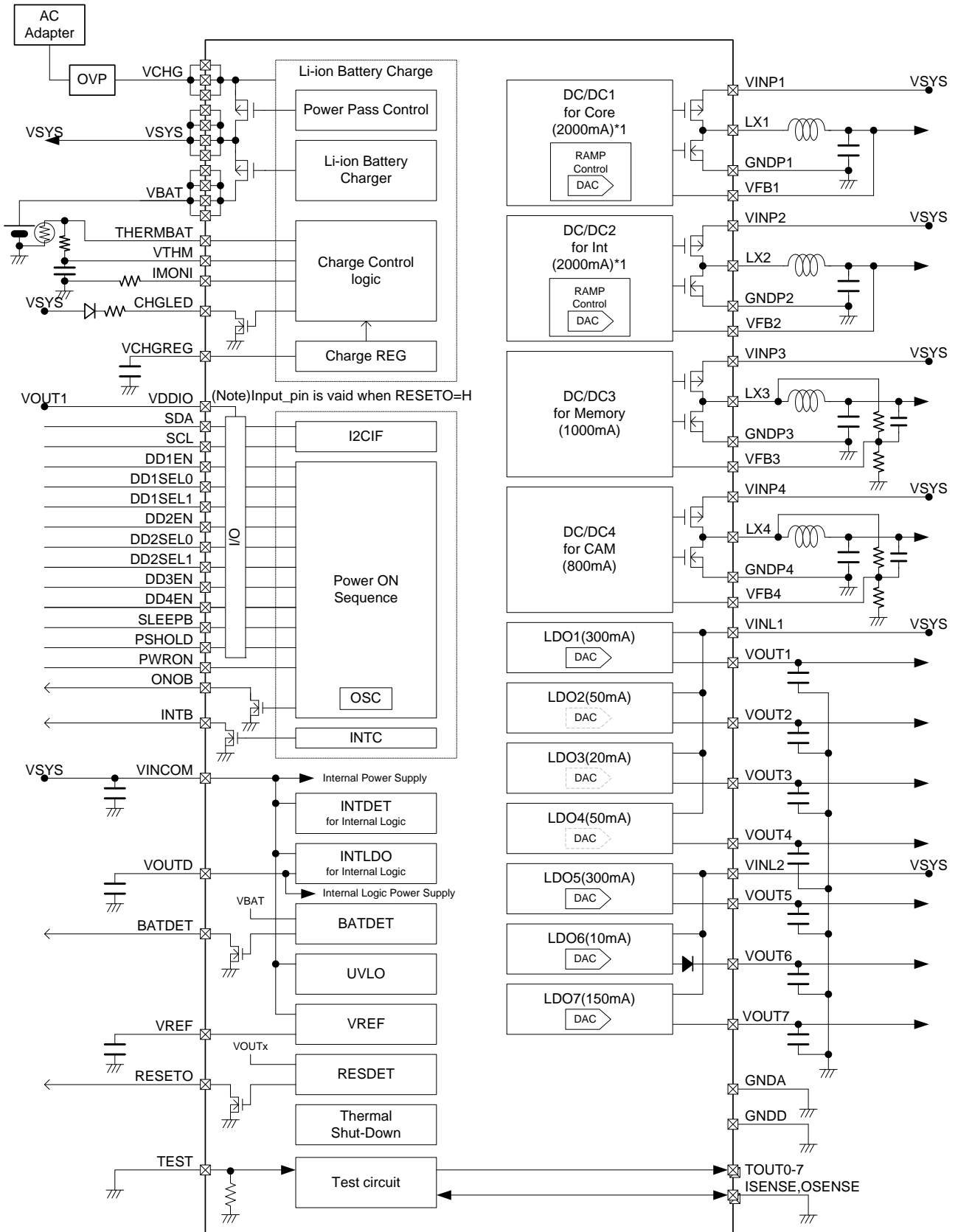


图.4-1 系统框图 (1/2)

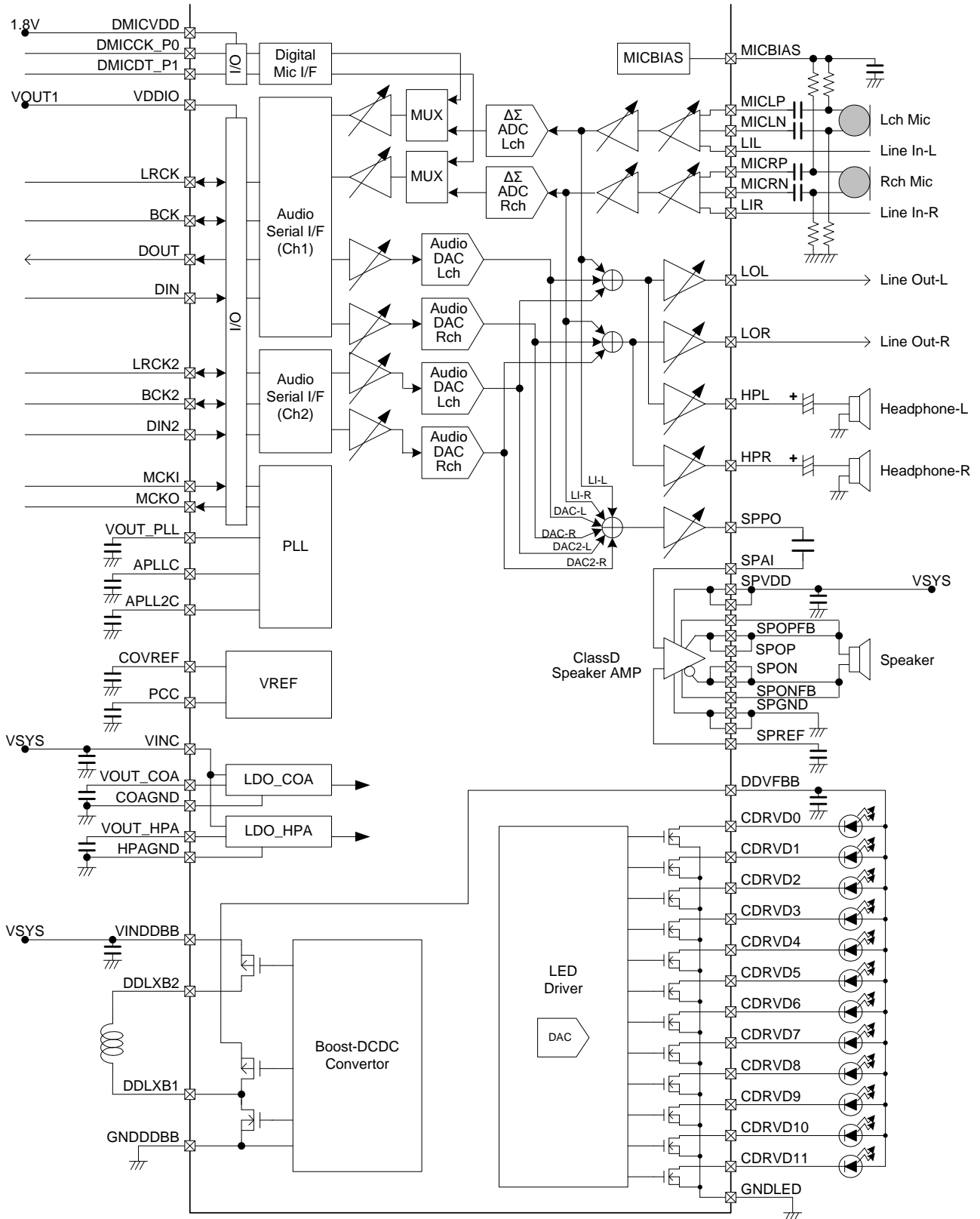


图.4-2 系统框图 (2/2)

5. 管脚说明

No.	CSP	Name	I/O	Function	I/F Level	Note
1	A13	TOUT0	O	For TEST	VDDIO	Not connect
2	A12	TOUT1	O	For TEST	VDDIO	Not connect
3	B11	TOUT2	O	For TEST	VDDIO	Not connect
4	B12	TOUT3	O	For TEST	VDDIO	Not connect
5	A11	TOUT4	O	For TEST	VDDIO	Not connect
6	C12	TOUT5	O	For TEST	VDDIO	Not connect
7	C11	TOUT6	O	For TEST	VDDIO	Not connect
8	C10	TOUT7	O	For TEST	VDDIO	Not connect
9	B10	MICRP	I	Microphone positive input Rch	-	
10	A10	MICRN	I	Microphone negative input Rch	-	
11	D10	LIR	I	Line input Rch	-	
12	A9	MICLP	I	Microphone positive input Lch	-	
13	B9	MICLN	I	Microphone negative input Lch	-	
14	C9	LIL	I	Line input Lch	-	
15	E10	VDDIO	PWR	Power supply for Interface IO	VDDIO	
16	D9	DOUT	O	Audio interface serial data input	VDDIO	
17	D8	LRCK	I/O	Audio interface serial bit clock input/output	VDDIO	
18	B8	BCK	I/O	Audio interface L/R select signal input/output	VDDIO	
19	C8	DIN	I	Audio interface serial data output	VDDIO	
20	F4	GNDD	GND	GND for digital	-	
21	A8	SPAGND	GND	GND for Speaker amp analog	GND	
22	D7	SPAI	I	Speaker driver-amp input	SPVDD	
23	C7	SPREF	I	Reference voltage for Speaker amp	SPVDD	Connect only Capacitor load
24	D6	SPOFB	I	Speaker driver-amp positive feedback input	SPVDD	
25	C5	SPONFB	I	Speaker driver-amp negative feedback input	SPVDD	
26	C6	SPAVDD	PWR	Power supply for Speaker amp analog	VIN	
27	A7,B7	SPOP	O	Speaker driver-amp positive output	SPVDD	
28	A6,B6	SPGND	GND	GND for Speaker amp	GND	
29	A5,B5	SPON	O	Speaker driver-amp negative output	SPVDD	
30	A4,B4	SPVDD	PWR	Power supply for Speaker amp	VIN	
31	D5	DD1SEL0	I	DC/DC1 Output Voltage Select 0	VDDIO	
32	C4	DD1SEL1	I	DC/DC1 Output Voltage Select 1	VDDIO	
33	D4	DD2SEL0	I	DC/DC2 Output Voltage Select 0	VDDIO	
34	B3	DD2SEL1	I	DC/DC2 Output Voltage Select 1	VDDIO	
35	A3	SLEEPB	I	Stand-by mode control	VDDIO	
36	C3	PSHOLD	I	Power on maintenance signal input	VDDIO	
37	D3	DD1EN	I	DC/DC1 ON/OFF input	VDDIO	
38	E4	DD2EN	I	DC/DC2 ON/OFF input	VDDIO	
39	E3	DD3EN	I	DC/DC3 ON/OFF input	VDDIO	
40	A2	DD4EN	I	DC/DC4 ON/OFF input	VDDIO	
41	B2	VFB1	I	DC/DC1 Output voltage feedback input	-	
42	B1	GNDP1	GND	GND for DC/DC1	-	
43	C2	LX1	O	DC/DC1 switch output	-	
44	C1	VINP1	PWR	Power supply for DC/DC1	VIN	
45	D2	VINP2	PWR	Power supply for DC/DC2	VIN	
46	D1	LX2	O	DC/DC2 switch output	-	
47	E1	GNDP2	GND	GND for DC/DC2	-	
48	E2	VFB2	I	DC/DC2 Output voltage feedback input	-	
49	F3	VFB3	I	DC/DC3 Output voltage feedback input	-	
50	F2	GNDP3	GND	GND for DC/DC3	-	
51	F1	LX3	O	DC/DC3 switch output	-	
52	G2	VINP3	PWR	Power supply for DC/DC3	VIN	
53	G1	VINP4	PWR	Power supply for DC/DC3	VIN	
54	H2	LX4	O	DC/DC4 switch output	-	
55	H1	GNDP4	GND	GND for DC/DC4	-	
56	G3	VFB4	I	DC/DC4 Output voltage feedback input	-	
57	J1	CDRVD0	O	Constant Current Driver Sink Output0	-	
58	K1	GNDDLED	GND	GND for Constant Current Driver	GND	
59	G4	CDRVD1	O	Constant Current Driver Sink Output1	-	
60	J2	CDRVD2	O	Constant Current Driver Sink Output2	-	
61	H3	CDRVD3	O	Constant Current Driver Sink Output3	-	
62	J3	CDRVD4	O	Constant Current Driver Sink Output4	-	
63	H4	CDRVD5	O	Constant Current Driver Sink Output5	-	
64	K2	CDRVD6	O	Constant Current Driver Sink Output6	-	
65	K3	CDRVD7	O	Constant Current Driver Sink Output7	-	
66	L2	CDRVD8	O	Constant Current Driver Sink Output8	-	
67	L1	CDRVD9	O	Constant Current Driver Sink Output9	-	
68	M1	CDRVD10	O	Constant Current Driver Sink Output10	-	
69	M2	CDRVD11	O	Constant Current Driver Sink Output11	-	

No.	CSP	Name	I/O	Function	I/F Level	Note
70	N1	TEST	I	For TEST	VIN	Connect to GND
71	N2	ISENSE	I/O	for TEST	VIN	Connect to GND
72	N3	OSENSE	I/O	for TEST	VIN	Connect to GND
73	L3	BATDET	O	Battery monitor output	VIN	Nch Open Drain
74	M3	RESETO	O	Reset output. Voltage detection of VOUT1 output	VIN	Nch Open Drain
75	J4	INTB	O	Interrupt request output	VIN	Nch Open Drain
76	K4	ONOB	O	PWRON monitor. Inverted open-drain output signal of PWRON	VIN	Nch Open Drain
77	K5	PWRON	I	External power on signal input	VIN	
78	N4	VINDDBB	PWR	Power supply for Boost DC/DC	VIN	
79	M4	DDLXB2	O	Boost DC/DC switch output2	-	
80	N5	GNDDDBB	GND	GND for Boost DC/DC	GND	
81	M5	DDLXB1	O	Boost DC/DC switch output1	-	
82	L5	DDVFBB	I	Boost DC/DC Output voltage feedback input	-	
83	K6	VOUID	O	Capacitor connection for built-in Regulator	-	Connect only Capacitor load
84	L4	VINCOM	PWR	Power supply for DC/DC's Analog Block & Interface IO	VIN	
85	K7	VREF	O	Bypass capacitor connecting pin	-	Connect only Capacitor load
86	L6	VOUT6	O	LDO6 output (Revers Current Protection)	-	
87	N6	VOUT5	O	LDO5 output	-	
88	M6	VINL2	PWR	Power supply for LDOs	VIN	
89	L7	VOUT7	O	LDO7 output	-	
90	K8	GNDA	GND	GND for analog	-	
91	M7	VOUT4	O	LDO4 output	-	
92	N7	VOUT3	O	LDO3 output	-	
93	L8	VOUT2	O	LDO2 output	-	
94	M8	VINL1	PWR	Power supply for LDOs	VIN	
95	N8	VOUT1	O	LDO1 output	-	
96	K9	THERMBAT	I	Battery thermistor input	-	
97	L9	VTHM	O	Thermistor temperature detection output & phase compensation	-	
98	M9	VCHGREG	O	Capacitor connection for built-in Regulator	-	Connect only Capacitor load
99	M10	GNDCHG	GND	GND of charger block	-	
100	N9	IMONI	O	SW2 current monitor	-	
101	M11,N10,N11,N12	VBAT	PWR	Li-ion battery input/output	VBAT	
102	L13,M12,M13,N13	VSYS	PWR	System power supply	VSYS	
103	K12,K13,L12	VCHG	PWR	Connected to AC Adapter	VCHG	
104	L11	CHGLED	O	Charge status indicator	VSYS	Nch Open Drain
105	L10	LRCK2	I/O	Audio interface 2 L/R select signal input/output	VDDIO	
106	K11	BCK2	I/O	Audio interface 2 serial bit clock input/output	VDDIO	
107	K10	DIN2	I	Audio interface 2 serial data input	VDDIO	
108	J12	MCKI	I	CODEC clock input	VDDIO	
109	J13	MCKO	O	CODEC clock output	VDDIO	
110	J11	SDA	I/O	I2C-Bus Data I/O	VDDIO	Nch Open Drain
111	J10	SCL	I	I2C-Bus Clock input	VDDIO	
112	H13	DMICCK P0	I/O	Stereo Digital Mic clock output / General purpose I/O Port 0	DMICVDD	
113	H12	DMICDT P1	I/O	Stereo Digital Mic data input / General purpose I/O Port 1	DMICVDD	
114	H11	DMICVDD	PWR	Power supply for Digital Mic I/O	-	
115	H10	PLLGND	GND	GND for PLL	GND	
116	G10	APLL2C	O	PLL2 filter capacitor connection pin	-	
117	G11	APLLC	O	PLL filter capacitor connection pin	-	
118	G12	VOUT PLL	O	LDO output for CODEC PLL	-	
119	G13	MICBIAS	O	Mic-bias output	-	
120	F11	VOUT COA	O	LDO output for CODEC Analog	-	
121	F10	VINC	PWR	LDO Power supply for CODEC analog	VIN	
122	F12	VOUT HPA	O	LDO output for HP-amp Analog	-	
123	F13	HPL	O	HP-amp output Lch	-	
124	E13	HPR	O	HP-amp output Rch	-	
125	E12	HPAGND	GND	GND for HP-amp Analog	GND	
126	E11	SPPO	O	Speaker pre-amp output	-	
127	D13	LOL	O	Line output Lch	-	
128	C13	LOR	O	Line output Rch	-	
129	D12	PCC	O	Pop noise reduction for analog output	-	Connect only Capacitor load
130	B13	COVREF	O	Reference voltage for CODEC	-	Connect only Capacitor load
131	D11	COAGND	GND	GND for CODEC Analog	GND	
132	A1	NC	NC	Non Connect pin	-	Connect to GND

表 5-1 管脚说明

6. 电源控制

6.1 电源控制结构框图

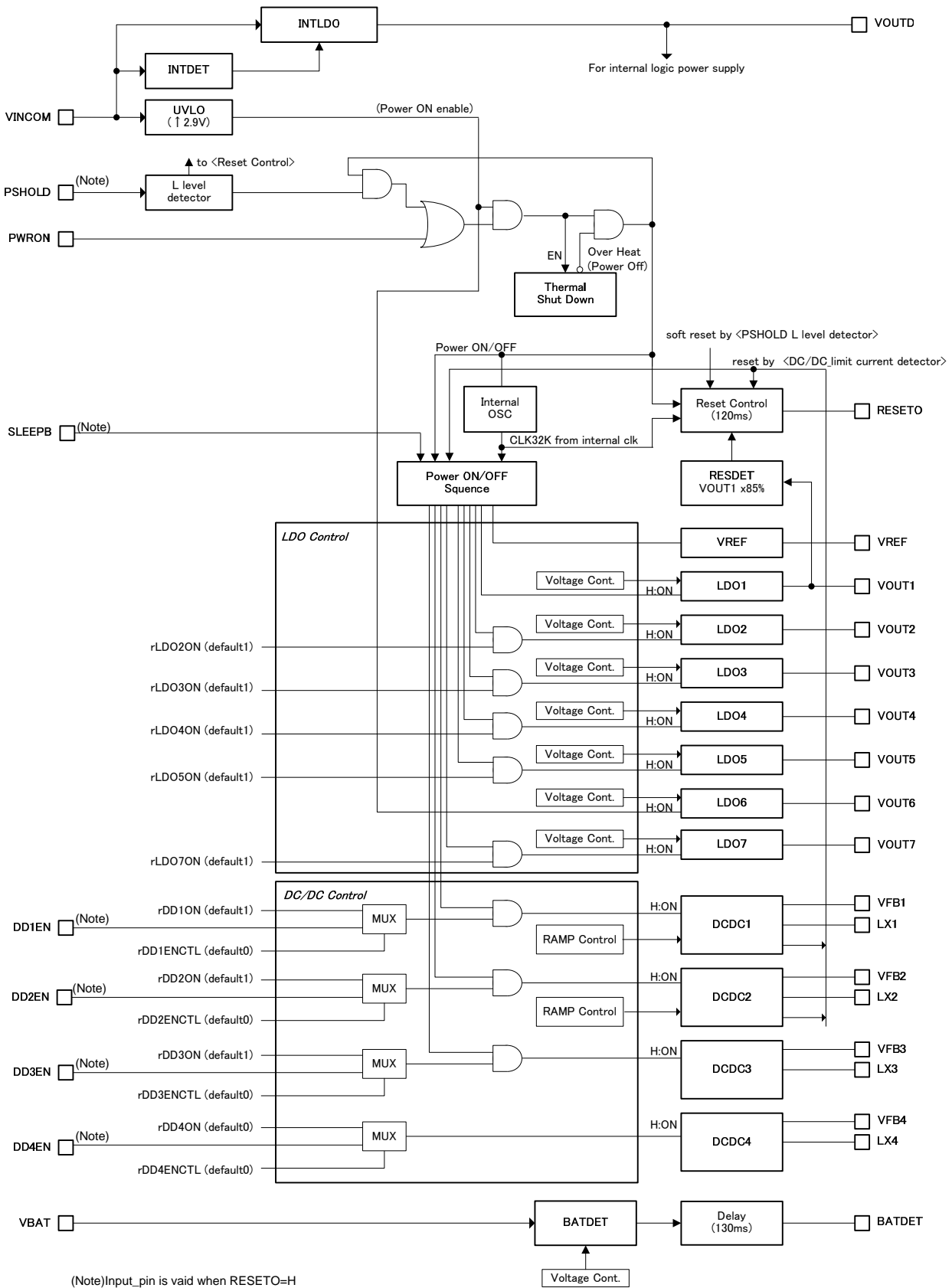


图.6-1 电源控制结构框图

6.2 开关机

RC5T616 可以通过以下开机源.

1. PWRON (外部输入端口)

(a) 外部信号开机: PWRON 端口

当 PWRON 管脚信号变为“高”时, 开机时序同时在内部 32 kHz 时钟的控制下启动。与此同时, ONOB 管脚信号变为“L”。

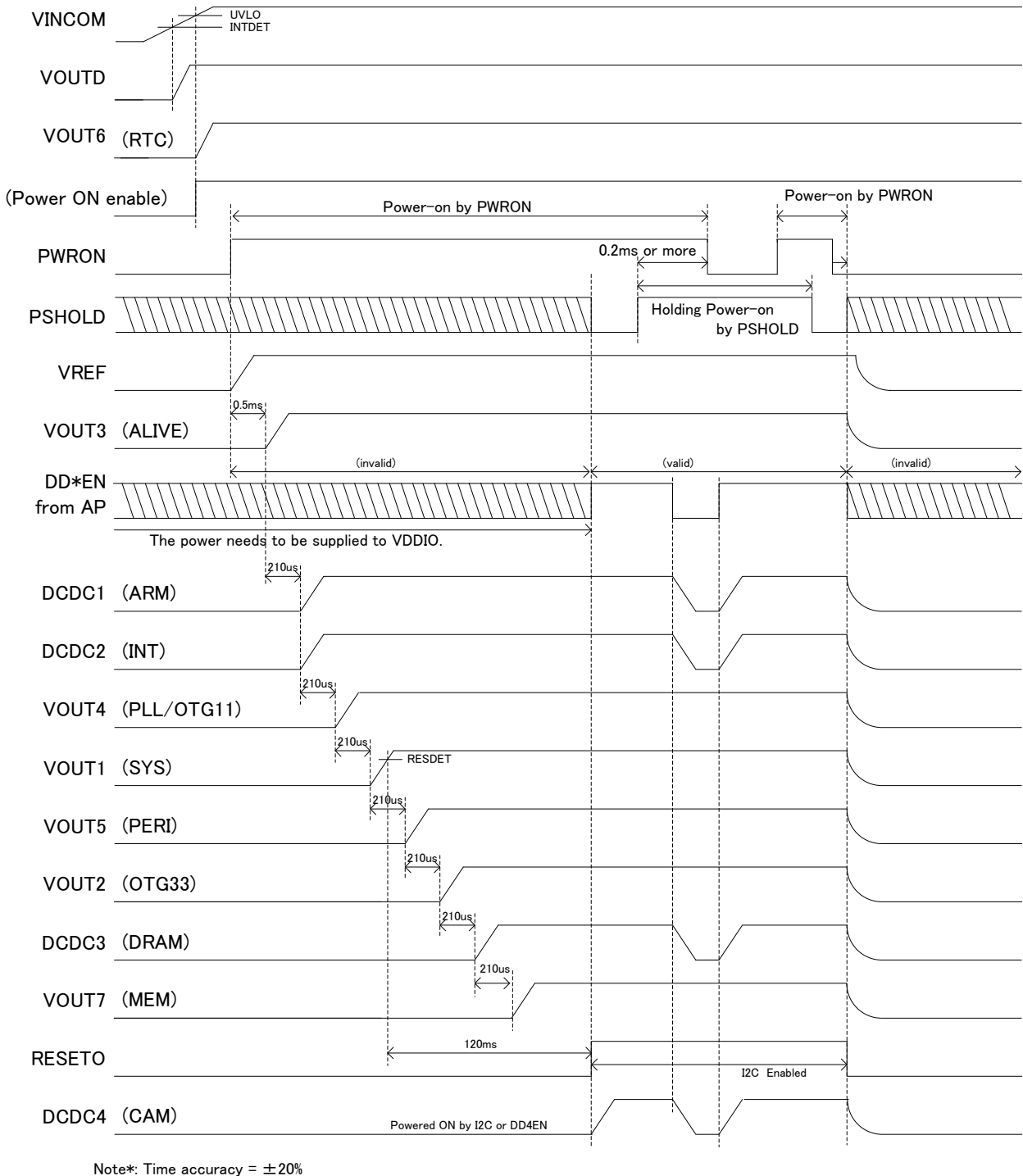
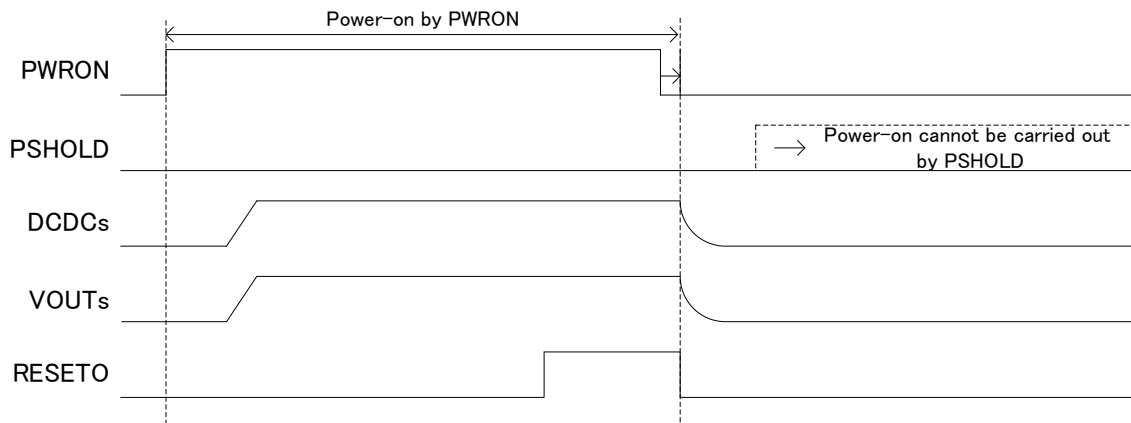


图.6-2 开关机时序

正如下图所示，PSHOLD 信号只能保持 PMIC 的 power-on 状态；但是不能用来启动开机时序。



(b) 关机功能

当开机启动源和 PSHOLD 信号都变为"低"时，除 LDO6 和 INTLDO 以外的所有 DC/DC 和 LDO 都被关闭。

6.3 软复位操作

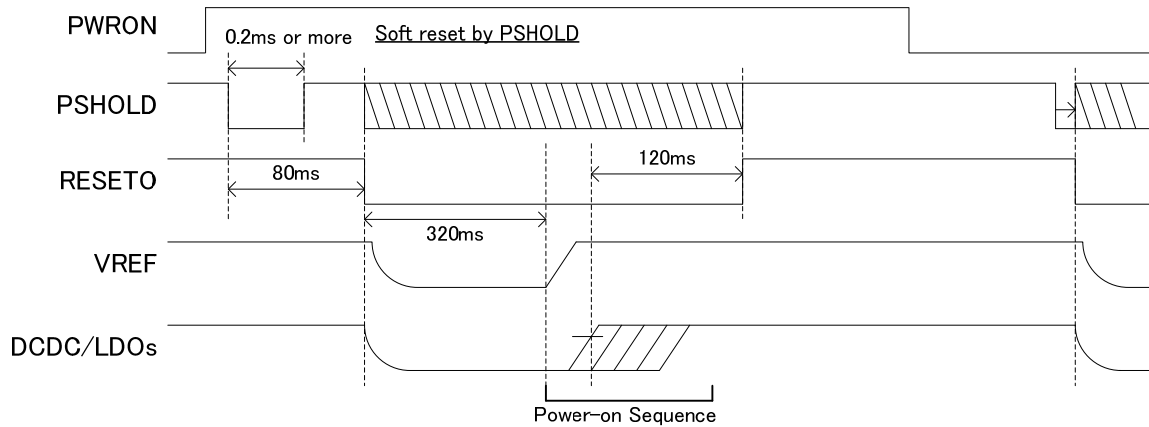
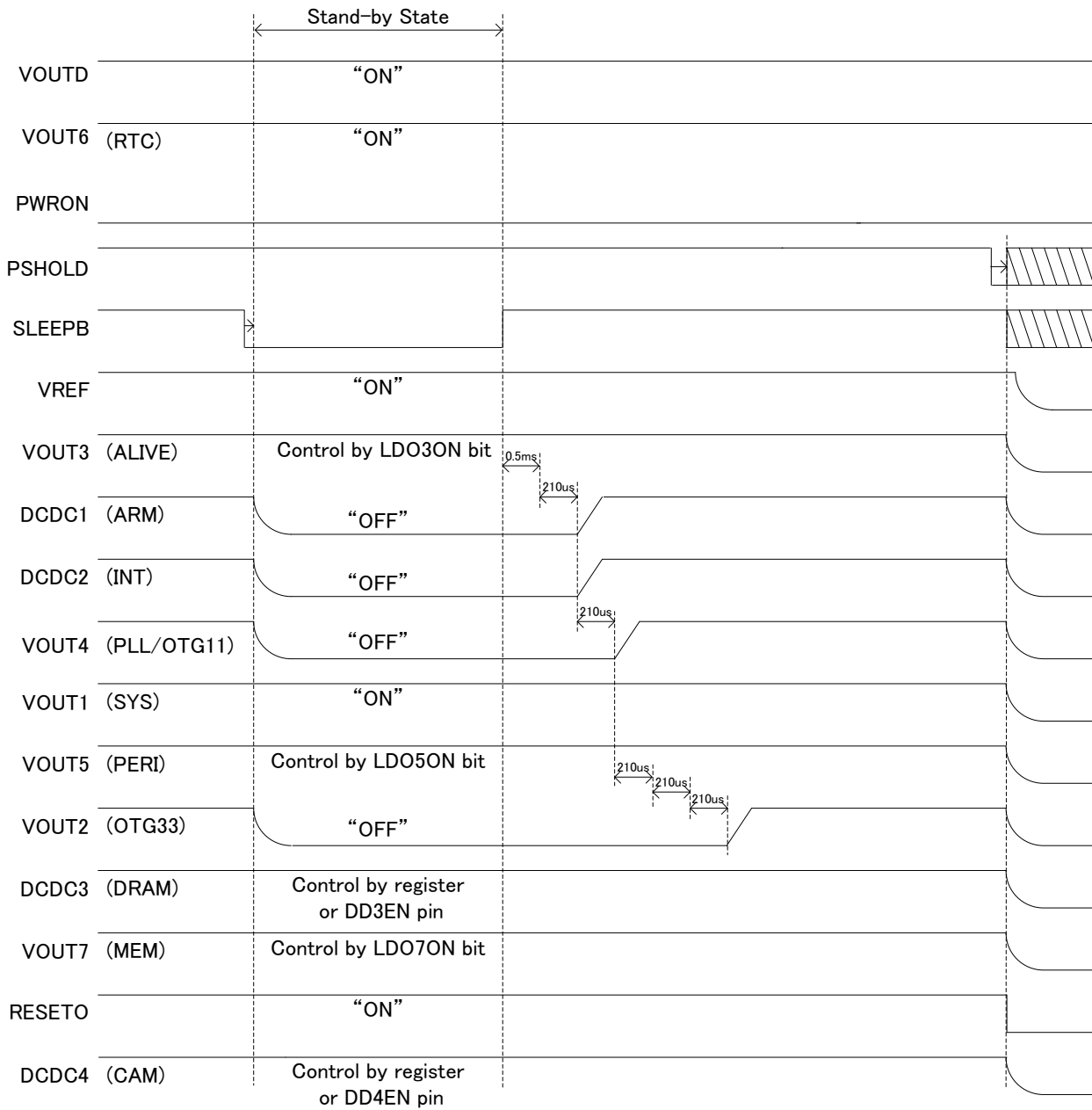


图.6-3 软复位时序

当 PWRON 信号变为“高”时，软复位可以通过将 PSHOLD 信号置为“低”来实现。

当 PSHOLD 信号变为“低”时，RESETO 信号将在 80ms 后输出“低”信号。然后，除 LDO6 和 INTLDO 以外的所有 DC/DC 和 LDO 将被关闭。VREF 将在等待 320ms 后重新开启。之后，其他的 LDO 将如正常的开机时序那样逐个打开。

6.4 Stand-by 模式操作



Note*: Time accuracy = ±20%

图.6-4 Stand-by 时序

当 PWRON 为“低” PSHOLD 为“高”时，将 SLEEPB 管脚拉“低”，系统进入 Stand-by 模式。

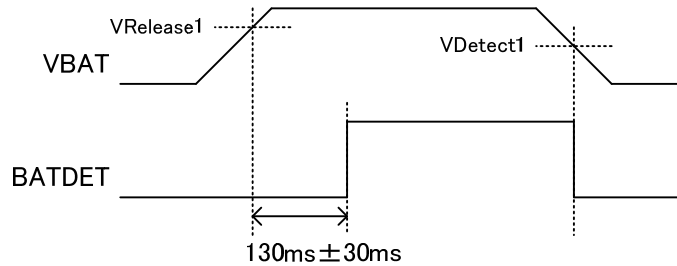
在 Stand-by 模式下，DCDC1,2 以及 LDO2,4 会被强制关断，其他的 LDO DCDC 会根据寄存器和管脚控制进入开或者关的状态。在 Stand-by 模式下，当条件改变 SLEEPB 为“高”或者 PWRON 为“高”时，DCDC1,2 和 LDO2,4 会根据上图的时序再次打开。当通过置 PWRON 为“高”回到正常状态时，2ms 内无法通过 PSHOLD 管脚控制软复位功能。

PWRON	PSHOLD	SLEEPB	RESETO	state
L	L	*	*	OFF
L	H	*	L	OFF
L	H	L	H	Stand by-mode
L	H	H	H	Nomal-mode
H	*	*	*	Nomal-mode

6.5 VBAT 检测电气特性

当 VBAT 电压由低变高, BATDET 信号将在 VBAT 电压达到解除电压 100ms (最小值)后, 变为“高”。默认电压为 3.3V , 这个电压可以在寄存器中设定。

BATDET 的输出方式是 N 管的漏极输出, 使用时其上拉电平不会超过 VIN 的电平。



工作条件 (非特殊条件不注明) $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
$V_{Release1}$	VD1 阈值电压	VBAT rising	-3%	3.3 (*1)	+3%	V
V_{Hys1}	VD1 滞回	VBAT falling		0.2		V

注*1: 解除电压可以在寄存器中设定

表 6-1 VBATDET 电气特性

6.6 RESDET D 电压检测电气特性

RESDET 电压检测器检测的是 LDO1 的输出电压。

RESDET 检测中, 对外部的输出信号 RESETO 将在 RESDET 信号变“高”后的 120ms 之后再变为“高”。在这之前, RESETO 的输出将保持“低”。

在 RESDET 解除之后的状态中, 如果 LDO1 的输出电压低于检出电压, 那么除了 LDO6 和 INTLDO 以外的 DC/DC 和 LDO 将被关闭。当 DC/DC 和 LDO 在被关闭后, 如果 LDO6 的输出电压重新回到解除电压以上, 而此时开机的条件也成立, 那么系统将按照开机时序再次启动; 如果开机的条件不成立, 系统将保持这个状态。

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V, T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
$V_{Release2}$	VD2 检出电压	Vout1 上升	-3%	$V_{out1} \times 85%(*1)$	+3%	V
V_{Hys2}	VD2 滞回	Vout1 下降		100		mV

注*1: 解除电压可以在寄存器中设定。

表 6-2 RESDET 电气特性

6.7 低压保护 (UVLO) 电气特性

当电池电压低至系统无法工作的时候, UVLO 将关闭整个系统(SLEEP 寄存器位将被 UVLO 重置)。

工作条件 (非特殊条件不注明)

$T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
$V_{Release}$	UVLO 接触电压	VIN 上升		2.9		V
V_{HYS}	UVLO 滞回	VIN 下降		100		mV

表 6-3 UVLO 电气特性

6.8 过温保护电路 (TSHUT) 电气特性

当高温检出的时候, 过温度保护模块将关闭整个系统来防止芯片因高温遭到破坏。当系统温度重新回到解除温度的时候, 如果开机启动条件还成立, 系统将按照开机时序再次开机。如果开机启动条件不成立, 系统将保持关机 (power-off) 状态。

工作条件 (非特殊条件不注明)

$V_{IN} = 3.6V$

名称	参数	条件	最小值	典型值	最大值	单位
T_{DET}	检出温度	-		135		degrees C
T_{RET}	解除温度	-		110		degrees C
I_{CC}	静态电流	-		7		μA

表 6-4 过温保护电路电气特性

7. 稳压电源

7.1 稳压电源输出表

名称	DCDC1	DCDC2	DCDC3	DCDC4
初始输出	1.1V (*1)	1.1V (*1)	外部电阻调整	外部电阻调整
最大输出电流	1000mA	1000mA	1000mA	800mA
外部电感	2.2 μ H	2.2 μ H	2.2 μ H	2.2 μ H
外部电容	10 μ F	10 μ F	4.7 μ F	4.7 μ F
开关控制	I2C 或 DD1EN	I2C 或 DD2EN	I2C 或 DD3EN	I2C 或 DD4EN
输出电压设置	I2C	I2C	外部电阻调整	外部电阻调整
输出控制	DVS	DVS	-	-
初始状态	开	开	开	开
Standby 状态	关	关	(*2)	(*2)
用途	ARM	INT	DRAM	CAM

注意*1:通过 trimming 调整 (Initial Value: 0.9/1.0/1.1/1.2V)

注意*2:根据寄存器或者管脚控制

表 7-1 稳压器列表 (DC/DC)

名称	LDO1	LDO2	LDO3	LDO4	LDO5	LDO6	LDO7
初始输出电压	3.3V (*2)	3.3V (*3)	1.1V (*4)	1.1V (*4)	1.8V (*5)	2.5V (*6)	1.8V (*2)
最大输出电流	300mA	50mA	20mA	50mA	300mA	10mA	150mA
外部电容	1 μ F	1 μ F	1 μ F	1 μ F	1 μ F	1 μ F	1 μ F
开关控制	I2C	I2C	I2C	I2C	I2C	I2C	I2C
输出电压设置	I2C	Fix	Fix	Fix	I2C	I2C	I2C
初始状态	ON	ON	ON	ON	ON	ON	ON (*1)
Standby 状态	ON	OFF	(*7)	OFF	(*7)	ON	(*7)
逆流防止	-	-	-	-	-	○	-
用途	SYSTEM	OTG33	ALIVE	PLL	PERI	RTC	MEM

注意*1: 通过 trimming 调整 (初始状态: 开或关)

注意*2: 通过 trimming 调整 (初始值: 1.8/3.3V)

注意*3: 通过 trimming 调整 (初始值: 3.1/3.2/3.3V)

注意*4: 通过 trimming 调整 (初始值 e: 1.0/1.1/1.2V)

注意*5: 通过 trimming 调整 (初始值: 1.2/1.8/3.3V)

注意*6: 通过 trimming 调整 (初始值: 2.5/3.0/3.3V)

注意*7: 根据寄存器或者管脚控制

表 7-2 稳压器列表 (LDO)

7.2 降压 DC/DC 转换器

RC5T616 有两路 PWM/PFM/PSM 模式可调降压 DC/DC 转换器，以及一路 One-shot PWM 模式 DC/DC 转换器。他们都需要外部的电容和电感来使得输出电压变得平滑。DC/DC3 和 DC/DC4 依靠外部的设定电阻来设定输出电压。

7.2.1 降压转换器 DC/DC1 和 DC/DC2

RC5T616 集成有 CMOS 工艺的低静态消费电流的 PWM/PFM/PSM 模式可调降压 DC/DC1 (DC/DC2) 转换器。PWM/PFM/PSM 模式在控制中，呈现为两种状态的控制方式。一种是可以自动切换 PWM/PFM 模式的 AUTO 模式，另一种是通过 I2C 通信在寄存器中设定 AUTO/PWM/PSM 模式。输出电压同样可以通过 DD1DAC (DD2DAC)寄存器来设定。

当 DC/DC1 (DC/DC2)被关闭后，DD1MODE (DD2MODE)的控制变量和 DD1DAC (DD2DAC)设定寄存器会被重置，下次开机后 DD1DAC 会恢复到和默认值输出电压 1.1V 对应的设定(DD2DAC 对应的默认输出电压也为 1.1V)。

DC/DC1 和 DC/DC2 转换器集成了输出电压 RAMP 调整模式。

RC5T616 集成了过流保护功能来防止所有由过电流（超过规格电流）引起的故障。过电流保护电路通过在每个周期监视流过 LX1 (LX2)的电流来实现过流检出的功能。

当过流检出信号持续一定时间后 (10ms), RESETO 信号会被变为“L”。然后除了 LDO1 and LDODIG 以外的所有 DC/DC 和 LDO 将被关闭。

当 DC/DC 和 LDO 在被关闭后，如果此时开机（power-on）条件也成立，那么系统将按照开机时序再次启动；如果开机的条件不成立，系统将保持这个状态。

DC/DC1 和 DC/DC2 转换器只需要较少的外围电路，如电容和电感等。对于连接输出电压的电容类型，推荐使用陶瓷电容来抑制输出电压的纹波。

7.2.1.1 降压 DC/DC1 和 DC/DC2 的系统框图

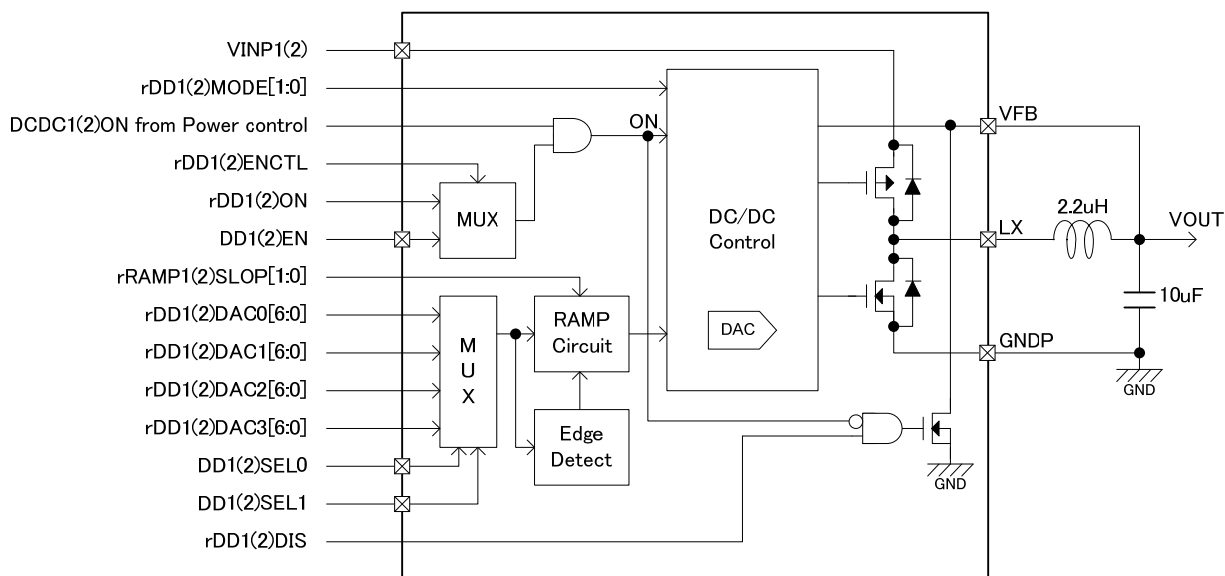


图 7-1 降压 DC/DC1 and DC/DC2 转换器结构框图

7.2.1.2 输出电压 RAMP 模式调整

这个控制方法通过控制 DD1(2)DAC 寄存器或者 DD1(2)SELn 管脚来实现。输出电压变化的斜率由 RAMP1(2)SLOP 控制。

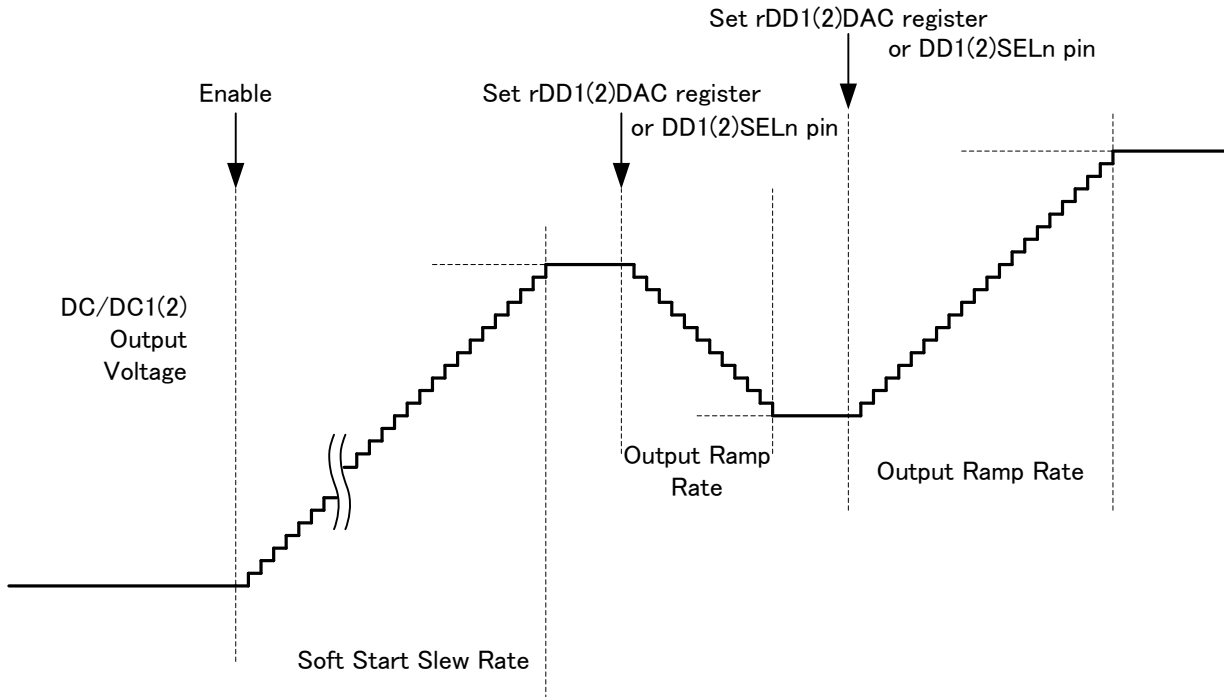


图. 7-1 Ramp 上升/下降控制时序图

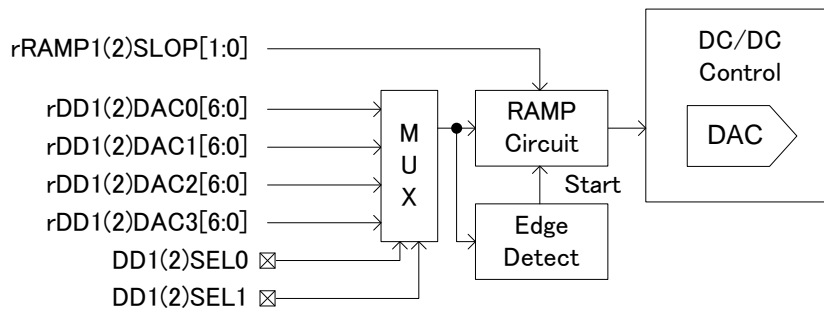


图.7-2 Ramp 上升/下降控制

DD1(2)SEL1	DD1(2)SEL0	RESETO	DC/DC1(2) 输出	备注
-	-	L	rDD1(2)DAC0	
L	L	H	rDD1(2)DAC0	
L	H	H	rDD1(2)DAC1	
H	L	H	rDD1(2)DAC2	
H	H	H	rDD1(2)DAC3	

表 7-3 DD1(2)SELn 管脚及 DC/DC1(2) 输出列表

7.2.1.3 降压转换器 DC/DC1 and DC/DC2 电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $L=2.2\mu H$, $C_{OUT} = 10\mu F$, $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	-	3.1	3.6	5.5	V
V_{OUT}	输出电压范围	$1mA < I_{OUT} < 1000mA$	0.9	1.1	1.5	V
	电压变化步长	-		12.5		mV
Vaccu	输出电压精度 $1mA < I_{OUT} < I_{Lx}$, $3.1V < V_{IN} < 5.5V$	$V_{OUT} = 0.9V \sim 1.0V$	-25		+25	mV
		$V_{OUT} = 1.0V \sim 1.5V$	-2.5		+2.5	%
Vrip	输出纹波	PFM/PSM Mode $I_{out}=1mA$		25		mV
$\Delta V_{OUT}/\Delta T_a$	输出电压温度特性	-40 度 $< T_a < 85$ 度		± 100		ppm/度
Fosc	开关频率	-		2.2		MHz
I _{Lx}	最大输出电流	AUTO/PWM 模式	1000			mA
		PSM 模式	10			mA
I _{lim}	Limit 检测电流			1500		mA
V _{peak}	输出响应	$10 \rightarrow 500mA @ \Delta T = 1\mu s$, $V_{OUT} = 1.1V$		50		mV
T _{prot}	保护延迟时间	-		10		ms
I _{cc}	电流消耗	AUTO Mode $I_{OUT} = 0mA$		50		μA
		PSM Mode $I_{OUT} = 0mA$		25		μA
H1	效率峰值	$V_{OUT} = 1.1V$, $I_{OUT} = 1mA$		75		%
		$V_{OUT} = 1.1V$, $I_{out} = \eta_{peak}$		85		%

Table 7-4 DC/DC1 电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $L=2.2\mu H$, $C_{OUT} = 10\mu F$, $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	-	3.1	3.6	5.5	V
V_{OUT}	输出电压范围	$1mA < I_{OUT} < 1000mA$	0.9	1.1	1.5	V
	电压变化步长	-		12.5		mV
Vaccu	输出电压精度 $1mA < I_{OUT} < I_{Lx}$, $3.1V < V_{IN} < 5.5V$	$V_{OUT} = 0.9V \sim 1.0V$	-25		+25	mV
		$V_{OUT} = 1.0V \sim 1.5V$	-2.5		+2.5	%
Vrip	输出纹波	PFM/PSM Mode $I_{out}=1mA$		25		mV
$\Delta V_{OUT}/\Delta T_a$	输出电压温度特性	-40 度 $< T_a < 85$ 度		± 100		ppm/度
Fosc	开关频率	-		2.2		MHz
I _{Lx}	最大输出电流	AUTO/PWM Mode	1000			mA
		PSM Mode	10			mA
I _{lim}	Limit 检测电流			1500		mA
V _{peak}	输出响应	$10 \rightarrow 500mA @ \Delta T = 1\mu s$, $V_{OUT} = 1.1V$		50		mV
T _{prot}	保护延迟时间	-		10		ms
I _{cc}	电流消耗	AUTO Mode $I_{OUT} = 0mA$		50		μA
		PSM Mode $I_{OUT} = 0mA$		25		μA
H1	效率峰值	$V_{OUT} = 1.1V$, $I_{OUT} = 1mA$		75		%
		$V_{OUT} = 1.1V$, $I_{out} = \eta_{peak}$		85		%

表 7-5 DC/DC2 电气特性

7.2.2 降压转换器 DC/DC3 和 DC/DC4

RC5T616 还有 one-shot PWM 模式转换器 DC/DC3 (DC/DC4). DC/DC3 和 DC/DC4 通过外部的设定电阻来设定电压。

7.2.2.1 降压转换器 DC/DC3 和 DC/DC4 的结构框图

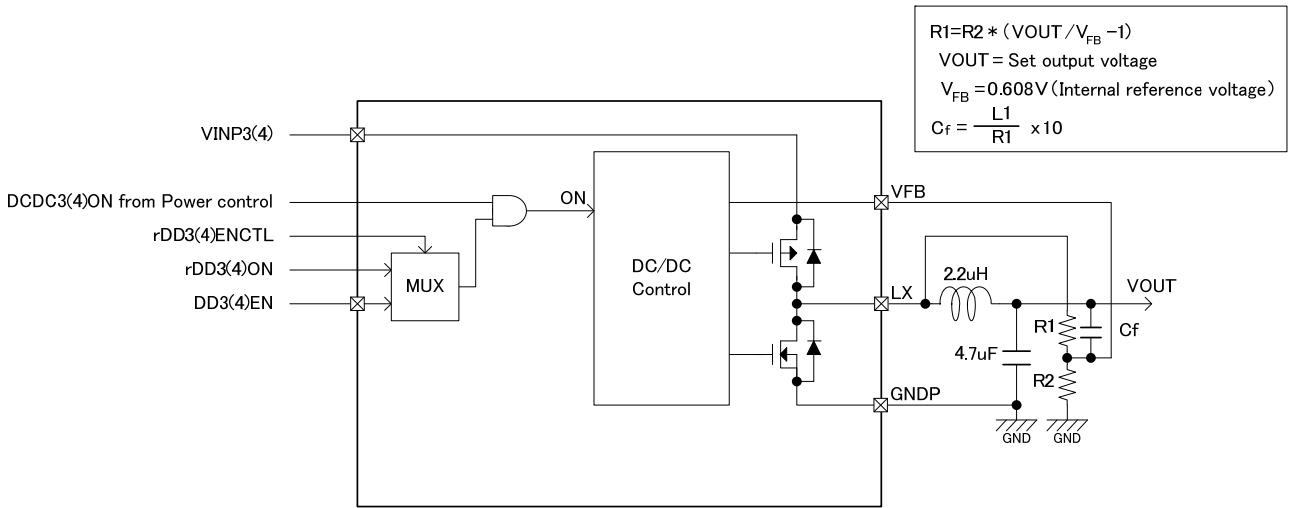


图.7-3 降压 DC/DC3 和 DC/DC4 转换器结构框图

输出电压	R1	R2	Cf	备注
3.3V	120kΩ	27kΩ	180pF	
2.5V	150kΩ	47kΩ	150pF	
1.8V	220kΩ	110kΩ	100pF	

表 7-6 DC/DC3 和 DC/DC4 外部器件实例

7.2.2.2 降压 DC/DC3 转换器电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $L=2.2\mu H$, $C_{OUT} = 4.7\mu F$, $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围		3.1	3.6	5.5	V
V_{OUT}	输出电压范围		1.2	1.8	1.8	V
I_{IX}	最大输出电流	$3.1V < V_{IN} < 5.5V$	1000			mA
I_{CC}	电流消耗	$V_{IN} = V_{FB} = 3.6V$ $I_{IX} = 0mA$, no switching		70		μA
I_{OFF}	待机电流	OFF state			1	μA
I_{lim}	Limit 检测电流	-		1500		mA
V_{FB}	FB 电压	$V_{IN} = V_{FB} = 3.6V$, $I_{IX} = 1mA$	-1.5%	0.608	+1.5%	V
$\Delta V_{FB}/\Delta V_{IN}$	FB 输入调整率 (Line Regulation)	$3.1V < V_{IN} < 5.5V$, $I_{IX} = I_{IXmax} / 2$		10		mV
$\Delta V_{FB}/\Delta I_{IX}$	FB 负载调整率 (Load Regulation)	$1mA < I_{IX} < 1000mA$		2		mV
$\Delta V_{FB}/\Delta T_a$	FB 电压 温度特性	-40 度 $< T_a < 85$ 度		± 100		ppm/度
tr	软复位耗时	-		120		μs

表7-7 DC/DC3 电气特性

7.2.2.3 降压 DC/DC4 转换器电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $L=2.2\mu H$, $C_{OUT} = 4.7\mu F$, $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围		3.1	3.6	5.5	V
V_{OUT}	输出电压范围		1.8	1.8	3.3	V
I_{IX}	最大输出电流	$3.1V < V_{IN} < 5.5V$	800			mA
I_{CC}	电流消耗	$V_{IN} = V_{FB} = 3.6V$ $I_{IX} = 0mA$, no switching		70		μA
I_{OFF}	待机电流	OFF state			1	μA
I_{lim}	Limit 检测电流	-		1300		mA
V_{FB}	FB 电压	$V_{IN} = V_{FB} = 3.6V$, $I_{IX} = 1mA$	-1.5%	0.608	+1.5%	V
$\Delta V_{FB}/\Delta V_{IN}$	FB 输入调整率 (Line Regulation)	$V_{out} + 0.5V < V_{IN} < 5.5V$, $I_{IX} = I_{IXmax} / 2$		10		mV
$\Delta V_{FB}/\Delta I_{IX}$	FB 负载调整率 (Load Regulation)	$1mA < I_{IX} < 800mA$		2		mV
$\Delta V_{FB}/\Delta T_a$	FB 电压 温度特性	-40 degreesC $< T_a < 85$ degreesC		± 100		ppm/度
tr	软启动耗时	-		120		μs

表 7-8 DC/DC4 电气特性

7.3 LDO

RC5T616 集成了 7 路 LDO。给 RTC 供电的 LDO6 是永久打开的，并且他自身拥有了逆电流保护电路。VREF 只提供一个给内部电路的基准电路，所以这个电源不被用来作为给芯片外部提供的基准电压。为了 LDO 系统自身的稳定（相位稳定），输出电容必须使用陶瓷电容。

7.3.1 LDO 电气特性

7.3.1.1 LDO1 电气特性

工作条件（非特殊条件不注明） $V_{IN} = 3.6V$, $C_{OUT} = 1.0\mu F$, $T_a = 25$ 度

名称	描述	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	-	3.1	3.6	5.5	V
V_{OUT}	输出电压范围	$V_{OUT} + 0.3V \leq V_{IN} \leq 5.5V$ & $3.1V \leq V_{IN} \leq 5.5V$, $I_{OUT} = I_{OUTMAX} / 2$	-2%	1.8 ~3.3	+2%	V
I_{OUT}	最大输出电流	-			300	mA
I_{SHT}	短路电流	$V_{OUT} = 0V$		TBD		mA
$\Delta V_{OUT} / \Delta V_{IN}$	输入调整率	$V_{OUT} + 0.3V \leq V_{IN} \leq 5.5V$ & $3.1V \leq V_{IN} \leq 5.5V$, $I_{OUT} = I_{OUTMAX} / 2$			10	mV
$\Delta V_{OUT} / \Delta I_{OUT}$	负载调整率	$50\mu A \leq I_{OUT} \leq I_{OUTMAX}$			60	mV
ΔV_{OUT}	瞬态响应	$50\mu A \Leftrightarrow I_{OUTMAX} / 2$ ($\Delta t = 1\mu s$)		100		mV
$V_{IN} - V_{OUT}$	输入输出电压差	$V_{IN} > 3.1V$, $V_{IN} = V_{SET}$, $I_{OUT} = I_{OUTMAX}$			0.3	V
$\Delta V_{OUT} / \Delta T_a$	输出电压 温度特性	-40 度 $\leq T_a \leq 85$ 度		± 100		ppm/度
RR	纹波抑制比 (PSRR)	$V_{OUT} \leq 3.0V$, $f = 10kHz$, $I_{OUT} = I_{OUTMAX} / 2$		60		dB
EN	输出噪声 (RMS)	$BW = 100Hz - 100kHz$, $I_{OUT} = I_{OUTMAX} / 2$		TBD		μV_{rms}
I_{CC}	电流消耗	$I_{OUT} = 0mA$		50		μA
I_{OFF}	Stand-by 消耗	$I_{OUT} = 0mA$			1	μA
T_r	上升时间	$V_{OUT} \geq 0.7 \times V_{OUT}$, $I_{OUT} = 0mA$			200	μs
T_f	下降时间	$V_{OUT} \leq 0.3 \times V_{OUT}$, $I_{OUT} = 0mA$			500	μs
V_{SET}	可编程输出电压	$I_{OUT} = I_{OUTMAX} / 2$	-3%	1.80 2.50 2.60 2.80 2.85 3.00 3.30	+3%	V

表 7-9 LDO1 电气特性

注意*:滤波补偿电容: $1.0\mu F$ (贴片阶段)。

为了 LDO 系统自身的稳定（相位稳定），滤波补偿电容必须使用陶瓷电容。

7.3.1.2 LDO2 电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $C_{OUT} = 1.0\mu F$, $T_a = 25$ 度

名称	描述	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	-	3.1	3.6	5.5	V
V_{OUT}	输出电压范围	$V_{OUT} + 0.3V \leq V_{IN} \leq 5.5V$, $50\mu A \leq I_{OUT} \leq I_{OUTMAX}$	-2%	3.3	+2%	V
I_{OUT}	最大输出电流	-			50	mA
I_{SHT}	短路电流	$V_{OUT} = 0V$		TBD		mA
$\Delta V_{OUT}/\Delta V_{IN}$	输入调整率	$V_{OUT} + 0.3V \leq V_{IN} \leq 5.5V$, $I_{OUT} = I_{OUTMAX} / 2$			10	mV
$\Delta V_{OUT}/\Delta I_{OUT}$	负载调整率	$50\mu A \leq I_{OUT} \leq I_{OUTMAX}$			30	mV
ΔV_{OUT}	瞬态响应	$50\mu A \leftrightarrow I_{OUTMAX} / 2$ ($\Delta t = 1\mu s$)		50		mV
$\Delta V_{OUT}/\Delta T_a$	输出电压 温度特性	-40 degrees C $\leq T_a \leq$ 85 degrees C		± 100		ppm/度
RR	纹波抑制比 (PSRR)	$V_{OUT} \leq 3.0V, f = 10kHz$, $I_{OUT} = I_{OUTMAX} / 2$		60		dB
EN	输出噪声 (RMS)	$BW = 100Hz - 100kHz, I_{OUT} = I_{OUTMAX} / 2$		TBD		μV_{rms}
I_{CC}	电流消耗	$I_{OUT} = 0mA$		50		μA
I_{OFF}	Stand-by 消耗	$I_{OUT} = 0mA$			1	μA
T_r	上升时间	$V_{OUT} \geq 0.7 \times V_{OUT}, I_{OUT} = 0mA$			200	μs
T_f	下降时间	$V_{OUT} \leq 0.3 \times V_{OUT}, I_{OUT} = 0mA$			500	μs

表 7-10 LDO2 电气特性

注意*:滤波补偿电容: 1.0 μF (贴片阶段)。

为了 LDO 系统自身的稳定 (相位稳定), 滤波补偿电容必须使用陶瓷电容。

7.3.1.3 LDO3 电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $C_{OUT} = 1.0\mu F$, $T_a = 25$ 度

名称	描述	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	-	3.1	3.6	5.5	V
V_{OUT}	输出电压范围	$3.1V \leq V_{IN} \leq 5.5V$, $50\mu A \leq I_{OUT} \leq I_{OUTMAX}$	-2%	1.1	+2%	V
I_{OUT}	最大输出电流	-			20	mA
I_{SHT}	短路电流	$V_{OUT}=0V$		TBD		mA
$\Delta V_{OUT}/\Delta V_{IN}$	输入调整率	$3.1V \leq V_{IN} \leq 5.5V$, $I_{OUT} = I_{OUTMAX}/2$			10	mV
$\Delta V_{OUT}/\Delta I_{OUT}$	负载调整率	$50\mu A \leq I_{OUT} \leq I_{OUTMAX}$			30	mV
ΔV_{OUT}	瞬态响应	$50\mu A \leftrightarrow I_{OUTMAX}/2$ ($\Delta t=1\mu s$)		50		mV
$\Delta V_{OUT}/\Delta T_a$	输出电压 温度特性	-40 degrees $C \leq T_a \leq 85$ degrees C		± 100		ppm/度
RR	纹波抑制比 (PSRR)	$f=10kHz$, $I_{OUT} = I_{OUTMAX}/2$		60		dB
EN	输出噪声 (RMS)	$BW=100Hz-100kHz$, $I_{OUT} = I_{OUTMAX}/2$		TBD		μV_{rms}
I_{CC}	电流消耗	$I_{OUT}=0mA$		50		μA
I_{OFF}	Stand-by 消耗	$I_{OUT}=0mA$			1	μA
T_r	上升时间	$V_{OUT} \geq 0.7 \times V_{OUT}$, $I_{OUT} = 0mA$			200	μs
T_f	下降时间	$V_{OUT} \leq 0.3 \times V_{OUT}$, $I_{OUT} = 0mA$			500	μs

表 7-11 LDO3 电气特性

注意*:滤波补偿电容: $1.0\mu F$ (贴片阶段)。

为了 LDO 系统自身的稳定 (相位稳定), 滤波补偿电容必须使用陶瓷电容

7.3.1.4 LDO4 电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $C_{OUT} = 1.0\mu F$, $T_a = 25$ 度

名称	描述	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	-	3.1	3.6	5.5	V
V_{OUT}	输出电压范围	$3.1V \leq V_{IN} \leq 5.5V$, $50\mu A \leq I_{OUT} \leq I_{OUTMAX}$	-2%	1.1	+2%	V
I_{OUT}	最大输出电流	-			50	mA
I_{SHT}	短路电流	$V_{OUT}=0V$		TBD		mA
$\Delta V_{OUT}/\Delta V_{IN}$	输入调整率	$3.1V \leq V_{IN} \leq 5.5V$, $I_{OUT} = I_{OUTMAX} / 2$			10	mV
$\Delta V_{OUT}/\Delta I_{OUT}$	负载调整率	$50\mu A \leq I_{OUT} \leq I_{OUTMAX}$			30	mV
ΔV_{OUT}	瞬态响应	$50\mu A \leftrightarrow I_{OUTMAX} / 2$ ($\Delta t = 1\mu s$)		50		mV
$\Delta V_{OUT}/\Delta T_a$	输出电压 温度特性	-40 度 $\leq T_a \leq 85$ 度		± 100		ppm/度
RR	纹波抑制比 (PSRR)	$f=10kHz$, $I_{OUT} = I_{OUTMAX} / 2$		60		dB
EN	输出噪声 (RMS)	$BW=100Hz-100kHz$, $I_{OUT} = I_{OUTMAX} / 2$		TBD		μV_{rms}
I_{CC}	电流消耗	$I_{OUT}=0mA$		50		μA
I_{OFF}	Stand-by 消耗	$I_{OUT}=0mA$			1	μA
T_r	上升时间	$V_{OUT} \geq 0.7 \times V_{OUT}$, $I_{OUT} = 0mA$			200	μs
T_f	下降时间	$V_{OUT} \leq 0.3 \times V_{OUT}$, $I_{OUT} = 0mA$			500	μs

表 7-12 LDO4 电气特性

注意*:滤波补偿电容: $1.0\mu F$ (贴片阶段)。

为了 LDO 系统自身的稳定 (相位稳定), 滤波补偿电容必须使用陶瓷电容。

7.3.1.5 LDO5 电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $C_{OUT} = 1.0\mu F$, $T_a = 25$ 度

名称	描述	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	-	3.1	3.6	5.5	V
V_{OUT}	输出电压范围	$V_{OUT} + 0.3V \leq V_{IN} \leq 5.5V$ & $3.1V \leq V_{IN} \leq 5.5V$, $I_{OUT} = I_{OUTMAX} / 2$	-2%	1.2 ~3.3	+2%	V
I_{OUT}	最大输出电流	-			300	mA
I_{SHT}	短路电流	$V_{OUT} = 0V$		TBD		mA
$\Delta V_{OUT} / \Delta V_{IN}$	输入调整率	$V_{OUT} + 0.3V \leq V_{IN} \leq 5.5V$ & $3.1V \leq V_{IN} \leq 5.5V$, $I_{OUT} = I_{OUTMAX} / 2$			10	mV
$\Delta V_{OUT} / \Delta I_{OUT}$	负载调整率	$50\mu A \leq I_{OUT} \leq I_{OUTMAX}$			60	mV
ΔV_{OUT}	瞬态响应	$50\mu A \Leftrightarrow I_{OUTMAX} / 2$ ($\Delta t = 1\mu s$)		100		mV
$V_{IN} - V_{OUT}$	输入输出电压差	$V_{IN} > 3.1V$, $V_{IN} = V_{SET}$, $I_{OUT} = I_{OUTMAX}$			0.3	V
$\Delta V_{OUT} / \Delta T_a$	输出电压 温度特性	$-40 \text{ 度} \leq T_a \leq 85 \text{ 度}$		± 100		ppm/度
RR	纹波抑制比 (PSRR)	$V_{OUT} \leq 3.0V$, $f = 10kHz$, $I_{OUT} = I_{OUTMAX} / 2$		60		dB
EN	输出噪声 (RMS)	$BW = 100Hz - 100kHz$, $I_{OUT} = I_{OUTMAX} / 2$		TBD		μV_{rms}
I_{CC}	电流消耗	$I_{OUT} = 0mA$		50		μA
I_{OFF}	Stand-by 消耗	$I_{OUT} = 0mA$			1	μA
T_r	上升时间	$V_{OUT} \geq 0.7 \times V_{OUT}$, $I_{OUT} = 0mA$			200	μs
T_f	下降时间	$V_{OUT} \leq 0.3 \times V_{OUT}$, $I_{OUT} = 0mA$			500	μs
V_{SET}	可编程输出电压	$I_{OUT} = I_{OUTMAX} / 2$	-3%	1.20 1.80 2.50 2.60 2.80 2.85 3.00 3.30	+3%	V

表 7-13 LDO5 电气特性

注意*:滤波补偿电容: $1.0\mu F$ (贴片阶段)。

为了 LDO 系统自身的稳定 (相位稳定), 滤波补偿电容必须使用陶瓷电容。

7.3.1.6 LDO6 电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $C_{OUT} = 1.0\mu F$, $T_a = 25$ 度

名称	描述	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	-	3.1	3.6	5.5	V
V_{OUT}	输出电压范围	$3.1V \leq V_{IN} \leq 5.5V$ $50\mu A \leq I_{OUT} \leq 10mA$	-2%	2.5 ~3.3	+2%	V
I_{OUT}	最大输出电流	-			10	mA
I_{SHT}	短路电流	$V_{OUT}=0V$		30		mA
$\Delta V_{OUT}/\Delta V_{IN}$	输入调整率	$V_{OUT}+0.2V \leq V_{IN} \leq 5.5V$ $I_{OUT}=I_{OUTMAX}/2$		3		mV
$\Delta V_{OUT}/\Delta I_{OUT}$	负载调整率	$50\mu A \leq I_{OUT} \leq 10mA$		30		mV
$\Delta V_{OUT}/\Delta T_a$	输出电压 温度特性	-40 度 $\leq T_a \leq 85$ 度		± 100		ppm/度
I_{CC}	电流消耗(*1)	ON (*1)		1	3	μA
I_{RR}	逆电流	$V_{OUT}=3.0V$ & $V_{IN}=0V$		0.15		μA
V_{SET}	可编程输出电压	$I_{OUT}=I_{OUTMAX}/2$	-2%	2.50 3.00 3.30	+2%	V

表 7-14 LDO6 电气特性

注意*:滤波补偿电容: $1.0\mu F$ (贴片阶段)。

为了 LDO 系统自身的稳定 (相位稳定), 滤波补偿电容必须使用陶瓷电容。

注意*1: 不包括逆流检出的消费电流。

7.3.1.7 LDO7 电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $C_{OUT} = 1.0\mu F$, $T_a = 25$ 度

名称	描述	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	-	3.1	3.6	5.5	V
V_{OUT}	输出电压范围	$V_{OUT} + 0.3V \leq V_{IN} \leq 5.5V$ & $3.1V \leq V_{IN} \leq 5.5V$, $50\mu A \leq I_{OUT} \leq I_{OUTMAX}$	-2%	1.8 ~3.3	+2%	V
I_{OUT}	最大输出电流	-			150	mA
I_{SHT}	短路电流	$V_{OUT} = 0V$		TBD		mA
$\Delta V_{OUT}/\Delta V_{IN}$	输入调整率	$V_{OUT} + 0.3V \leq V_{IN} \leq 5.5V$ & $3.1V \leq V_{IN} \leq 5.5V$, $I_{OUT} = I_{OUTMAX}/2$			10	mV
$\Delta V_{OUT}/\Delta I_{OUT}$	负载调整率	$50\mu A \leq I_{OUT} \leq I_{OUTMAX}$			40	mV
ΔV_{OUT}	瞬态响应	$50\mu A \leftrightarrow I_{OUTMAX}/2$ ($\Delta t = 1\mu s$)		50		mV
$V_{IN} - V_{OUT}$	输入输出电压差	$V_{IN} > 3.1V$, $V_{IN} = V_{SET}$, $I_{OUT} = I_{OUTMAX}$			0.3	V
$\Delta V_{OUT}/\Delta T_a$	输出电压 温度特性	-40 degrees C $\leq T_a \leq$ 85 degrees C		± 100		ppm/度
RR	纹波抑制比 (PSRR)	$V_{OUT} \leq 3.0V$, $f = 10kHz$, $I_{OUT} = I_{OUTMAX}/2$		60		dB
EN	输出噪声 (RMS)	$BW = 100Hz - 100kHz$, $I_{OUT} = I_{OUTMAX}/2$		TBD		μV_{rms}
I_{CC}	电流消耗	$I_{OUT} = 0mA$		50		μA
I_{OFF}	Stand-by 消耗	$I_{OUT} = 0mA$			1	μA
T_r	上升时间	$V_{OUT} \geq 0.7 \times V_{OUT}$, $I_{OUT} = 0mA$			200	μs
T_f	下降时间	$V_{OUT} \leq 0.3 \times V_{OUT}$, $I_{OUT} = 0mA$			500	μs
V_{SET}	可编程输出电压	$I_{OUT} = I_{OUTMAX}/2$	-2%	1.80 2.50 2.60 2.80 2.85 3.00 3.30	+2%	V

表 7-15 LDO7 电气特性

注意*:滤波补偿电容: $1.0\mu F$ (贴片阶段)。

为了 LDO 系统自身的稳定 (相位稳定), 滤波补偿电容必须使用陶瓷电容。

8. 升压 DCDC 及 LED 驱动

RC5T616 含有一个具有同步整流功能的升压 DCDC。其采用 PWM 控制方式并对外输出稳定电压。另外，它还能驱动 Flash LED。升压 DCDC 外部需要一个电感和一个电容。

在这个升压 DCDC 中集成了振荡器，输入浪涌电流控制电路，最大占空比保护电路，过流保护电路以及过压保护电路。此外，电源和电感之间的开关避免了待机模式下的泄漏电流的出现。

8.1 升压 DCDC 及 LED 驱动

RC5T616 LED 驱动是 N 管恒流电路。LED 的正极一般接在升压 DC/DC 的输出(DDVFBB)。负极相对地地连接到 CDRVD0~CDRVD11。模拟电路包括 DAC，并由恒流控制寄存器 1(CDRCR1)的 D0 (CDRON) 来控制开关。正常模式的开关主要由 CDRVDxON 来控制。参考电压根据 DAC 的设置产生。参考电流则通过压-流转换生成。CDRVD0~CDRVD11 管脚的负载电流可编程控制范围为 0mA~20mA，步长为 1.67mA。

8.2 升压 DCDC 及 LED 驱动的结构框图

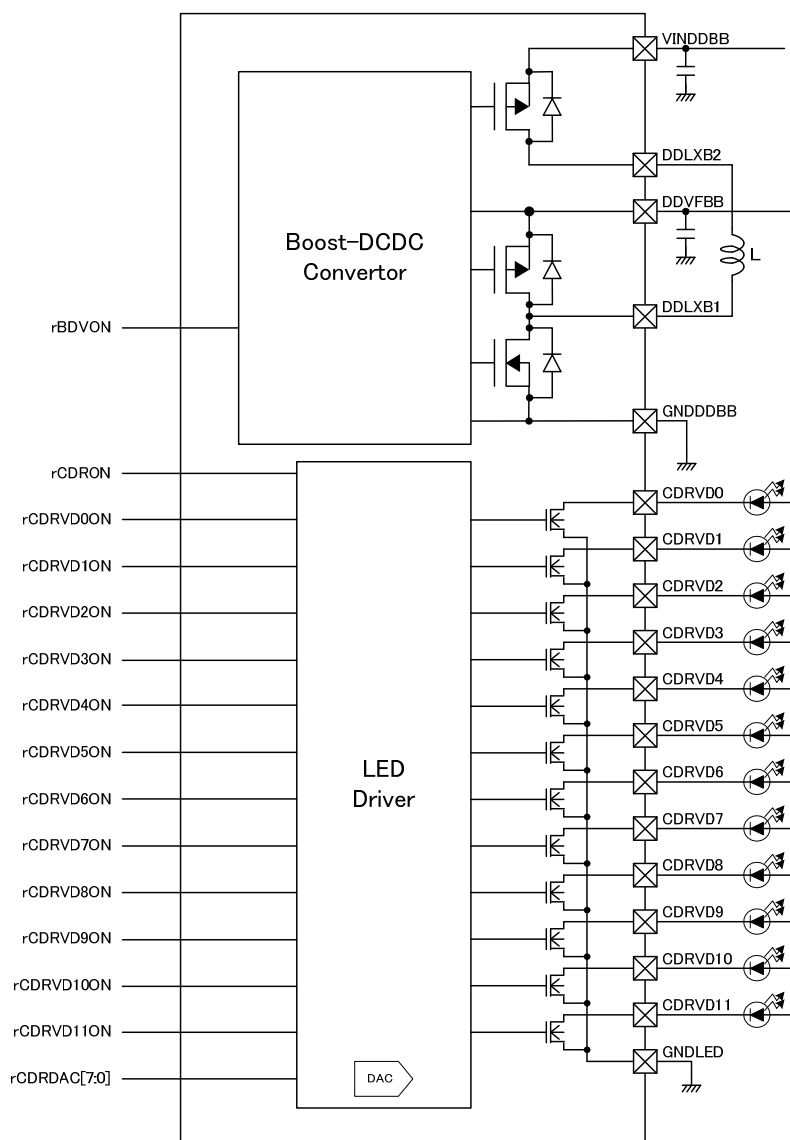
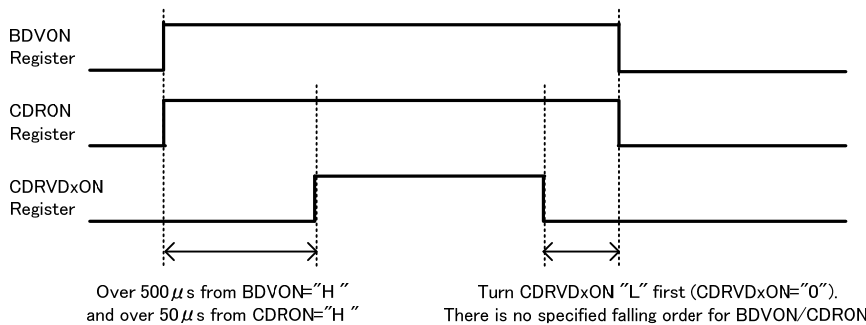


图.8-1 升压 DCDC 及 LED 驱动的结构框图

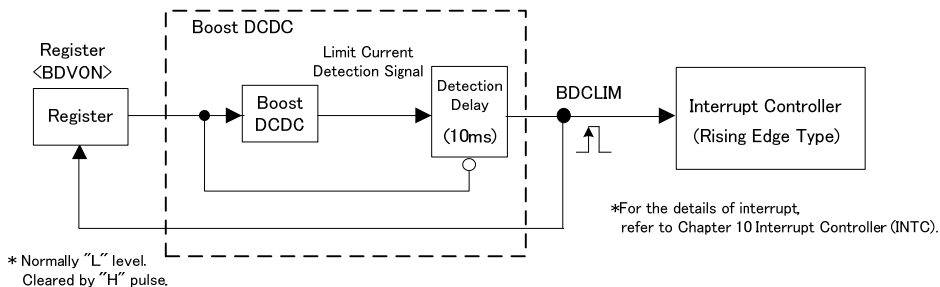
8.3 升压DCDC及LED驱动的开关时序

There is no specified rising order of BDVON/CDRON.



8.4 升压DCDC Limit 电流检测中断控制

如果升压DCDC检测到Limit电流，它会产生一个中断信号。



8.5 升压DCDC 电气特性

工作条件 (非特殊条件不注明) $V_{IN} = 3.6V$, $L = 2.2\mu H$, $C_{out} = 10\mu F$

$T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
Vin	输入电压		3.1		5.5	V
Vout	输出电压	$V_{in} = 3.1 \sim 5.5V$, $I_{out} = 300mA$	4.85	5.0		V
Iomax	最大输出电流	$V_{in} = 3.1 \sim 5.5V$, $V_{out} = 5.0V$	300			mA
Fosc	开关振荡频率	$V_{in} = 3.6V$, $V_{out} = 5.0V$	2.0	2.25	2.5	MHz
Icc	电流消耗	$V_{in} = 3.6V$, $I_{out} = 0mA$, $V_{out} = 5.0V$, 无开关		650	800	μA
Isd	Stand-by 电流	$V_{in} = 3.6V$, $V_{out} = 5.0V$		0.05	2	μA
Trise	上升时间	$V_{in} = 3.6V$, $V_{out} \times 90\%$			0.5	ms
Tfall	下降时间	$V_{in} = 3.6V$, $V_{out} \times 10\%$			5	ms
η	效率	$V_{in} = 3.6V$, $V_{out} = 5.0V$, $I_{out} = 20mA$		80		%
Ilim	输入电流限制	$V_{out} = 5.0V$, VBATDDBB 电流峰值检测	TBD			A

8.6 LED 驱动电气特性

工作条件 (非特殊条件不注明) $V_{in} = 3.6V$

$T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
Iacc	输出电流精度	$V_{in} = 3.6V$, $V_{cdrvd} = 1V$, DAC input Ch, $I_{out} = 20mA$	15	20	25	mA
Icc	电流消耗	$V_{in} = 3.6V$, $I_{out} = 20mA$, when $CDRVD0 \sim 11 = ON$		2.5		mA
Isd	Standby 电流	$V_{in} = 3.6V$, $I_{out} = 0mA$		0.01		μA
Vds	管脚电压	$CDRVDx$ pin voltage, $I_{out} = 20mA$		0.4		V
Ivar	输出电压范围		0		20	mA
	STEP 宽度			1.67		mA

9. 锂电池充电器

RC5T616 集成一个锂电池充电器。

---支持 AC 适配器充电。

---集成过电流保护和可控充电电流功能，以使充电电流有效的被提供给电源管理系统和锂电池。

---当锂电池输出电压过低时，系统也可以开机

---模块内的 VCHG 管脚可以承受高至 6.5V 的输入电压。在包含一颗高电压保护芯片的情况下，可以承受更高的电压。(例如在使用 ROHM 的 BD6040 芯片的情况下，最高可以承受 28V 的输入电压)

---支持涓流充电(Trickle Charge)和快速充电(Rapid Charge)

---内置电池热敏电阻监视功能

---无外部 MOSFET 需求

---当系统需求的电流超过 AC 适配器的供电电流，电池将承担不足的部分向系统供电

---芯片集成过温度保护的检测电路

---Ibat 最大承载电流：1.2A

9.1 锂电池充电框图

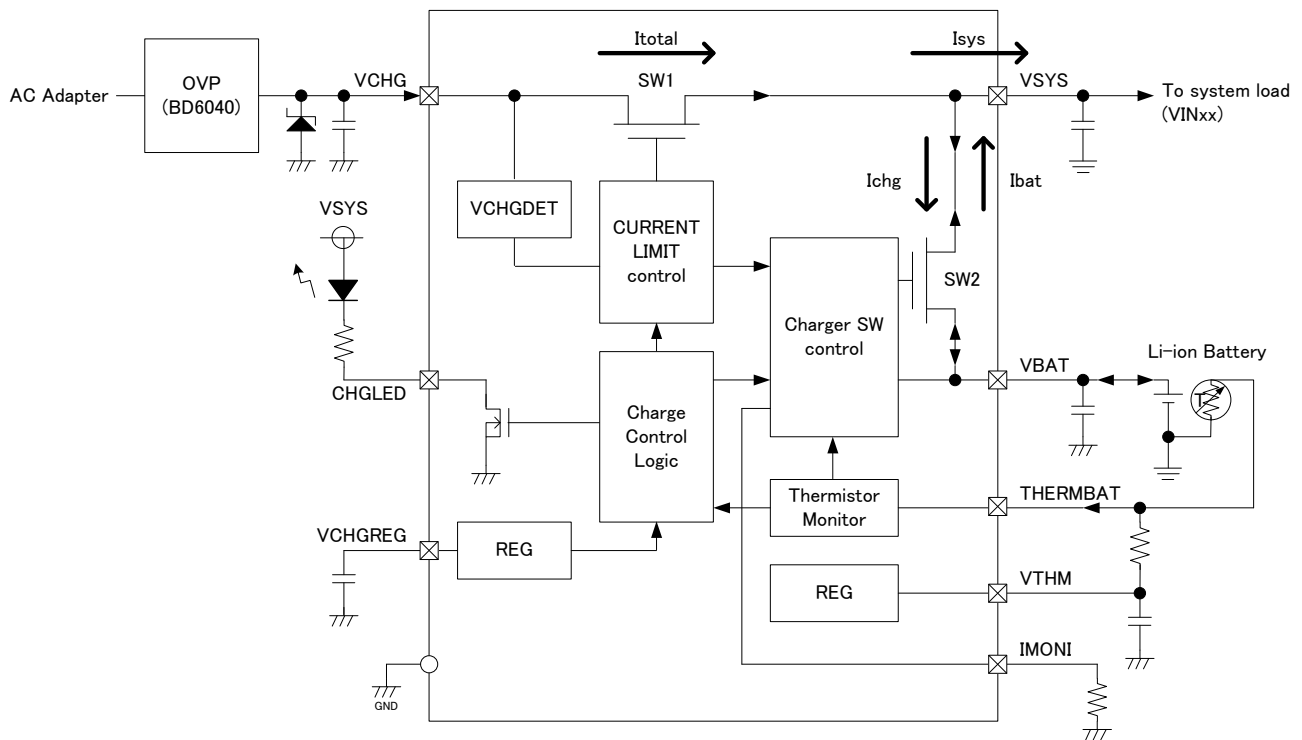


图. 9-1 锂电池充电方向结构图

9.2 充电操作说明

当 AC 适配器链接至 VCHG 端子，充电器的内置电压检测器将检测 VCHG 端子的电压。

$$4.3V < V_{VCHG} < 6.2V \quad (1)$$

如果检测得的电压在上述范围内，充电器将开始工作。

如果检测得的电压不在上述范围内，充电器将不工作。

当条件(1)成立时，并满足下述条件，在 Charge-Ready 或 Trickle Charge 或 Rapid-Charge 状态下，充电器将完成 VCHG 和 VBAT 之间的充电转换。

$$\text{Temperature} < 125 \text{ }^{\circ}\text{C} \text{ (可设定)}$$

充电器实现确认电池是否存在的功能。如果检测得电池不存在，VSYS 电源端的电荷将由 VCHG 电源端来提供，直至电池被检测到。

假设 AC 适配器的输入电压为 5V（允许 10%的漂移）。不推荐使用这个范围以外的充电电压，因为如果 AC 适配器的输出电压过大，将会集聚产生的热量，最终使充电器的温度过热检出。

SW1 的上限电流被寄存器设置如下

$$I_{lim} > I_{chg}$$

寄存器设定的 SW1 的上限电流值需要比 AC 适配器的容许电流值大。

注*: SW1 的初始上限电流为 800mA。

CHGLED 为 N 管开漏输出。

该功能在 Rapid-Charge 状态下被打开，Charge Complete 状态下关闭。

该功能在 Trickle-Charge 或者异常状态下，CHGLED 将按照 1~2Hz 的频率闪烁。

Li-ion Battery Charger state Diagram

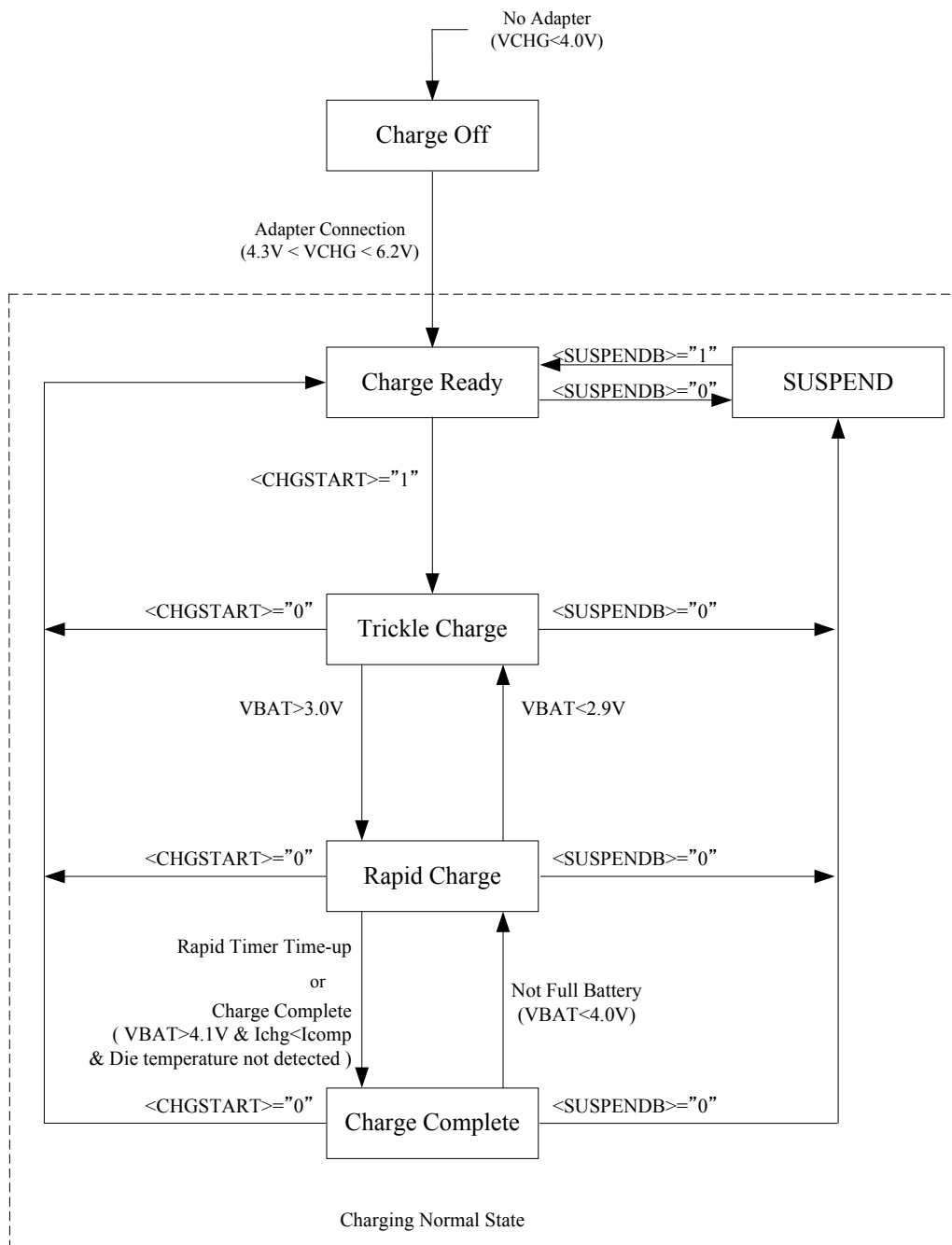


图. 9-2 锂电池充电器状态迁移图(正常状态)

Li-ion Battery Charger state Diagram (Abnormal)

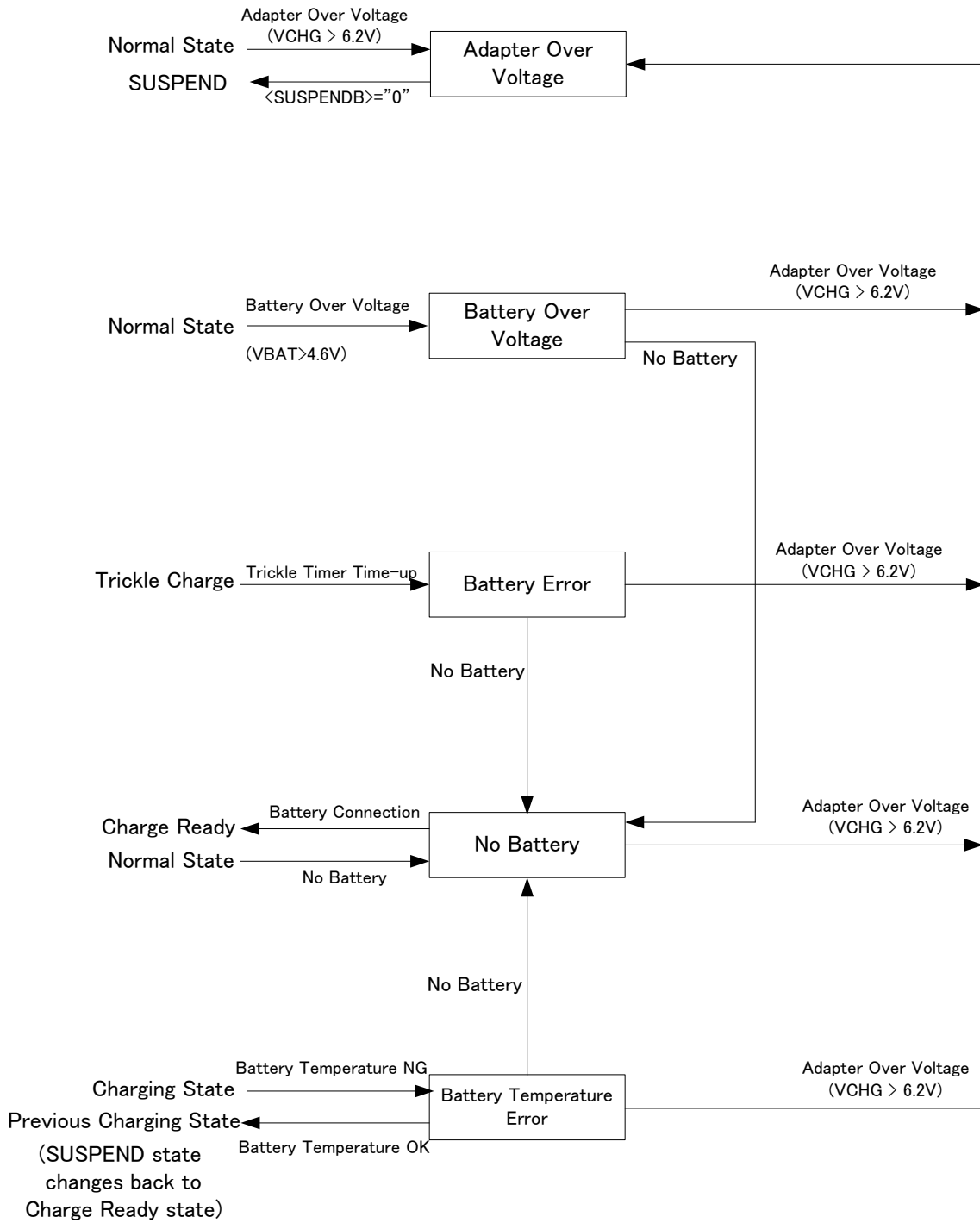


图. 9-3 锂电池充电器状态转移图(异常状态)

[Charge-Off]

电源由锂电池通过 VSYS 端子提供:

- 没有电源被链接到 VCHG 端子。
- 当 V_{VCHG} 端子的电压小于 4.3V。

[SUSPEND]

在 Charge Ready Trickle charge, Rapid Charge, 或者 Charge Complete 状态下, SUSPENDB 寄存器位被置为"0"时, 充电器的状态会迁移到 SUSPEND 状态。在 SUSPEND 状态下, 不对锂电池充电并且 VSYS 的电源由锂电池供电。

当 SUSPENDB 寄存器被置为"1"时, 状态将迁移到 Charge Ready 状态。

除了在 Charge-Off, Adapter-Over-Voltage, SUSPEND, Charge-Ready, Trickle-Charge, Rapid-Charge and Charge-Complete 状态下 SUSPENDB 寄存器位可以再次被置"0"外, 其他情况下 SUSPENDB 寄存器位将自动被置"1"。

[Charge-Ready]

当 VCHG 端子电压超过 4.3V 时, 充电器的状态将从 Charge-Off 状态变化到 Charge-Ready 状态。

当在 Trickle-Charge, Rapid-Charge, 或者 Charge-Complete 状态下, CHGSTART 变量被置"0", 充电器将回到 Charge-Ready 状态, 并停止充电。

[Trickle-Charge]

当 CHGSTART 寄存器位为"1"时, 充电器状态将从 Charge-Ready 状态变化到 Trickle-Charge 状态。

在 Rapid-Charge 模式下, 如果电池电压低于 3.0V 充电器会转变为 Trickle-Charge 状态。

在 Trickle-Charge 状态, Ichg 被限制在 100mA。

在 V_{VBAT} 到达 3.0V 及 Trickle 充电计时器结束之前, 充电器会持续对电池充电。当电池电压到达 3.0V 之后, 充电器转移到 Rapid-Charge 状态。如果在 Trickle-charge (涓流充电) 结束之前, Trickle 充电计时已经结束充电器会转移到 Battery-Error 状态, 并发出中断信号。

[Rapid-Charge]

当 VCHG 管脚给系统供电时, 仍能保持对电池充电。充电电流会根据系统负载调整。如果 I_{total} 比 I_{lim} 低时, 充电器会自动渐渐地增加 Ichg 至寄存器设定值。另一方面, 如果 I_{total} 比 I_{lim} 高时, 充电器会立刻降低 Ichg。在以下三种条件都满足或者 Rapid 充电计时结束之前, 充电器会持续对电池充电。

1. $I_{chg} < I_{comp}$
2. $V_{VBAT} > 4.1V$
3. 芯片温度正常

在 Rapid-Charge 状态, 充电过程是自动的。

当充电器检测到芯片温度高于设定阈值时, Ichg 会降低到最小值。

[Charge-Complete]

当充电完成时, 充电器会转移到 Charge-Complete 状态。

当 V_{VBAT} 低于 4.0V 时, 充电器会从 Charge-Complete 转移到 Rapid-Charge 状态。

当充电器处于 Charge-Complete 时, VSYS 会优先选择 VCHG 供电。

[Battery-Error]

用户必须确认电池的连接状况是否正确。

[No-Battery]

在除了 Adapter-Over-Voltage 和 Charge-Off 状态之外的任意状态下，当温度检测电路检测到没有电池，充电器会转移至 No-Battery 状态，并且系统只由 VCHG 供电直到电池被检测到正确连接。

[Adapter-Over-Voltage]

T614 充电器集成了一个电压检测器用于检测电源供给的电压。在任一状态下，当充电器检测到 V_{VCHG} 输入高于 6.2V 时，系统 (VSYS) 会改由电池供电直到 V_{VCHG} 电压低于 4.0V。

然而，如果 Battery-Over-Voltage, Battery-Error, No-Battery 和 Battery-Temperature-Error 状态的转移条件同时满足，系统只会由 VCHG 供电，并且 SUSPENDB 位会自动变成“1”且无法设为“0”。

[Battery-Over-Voltage]

T614 充电器集成了一个电压检测器用于检测电池电压。在除了 Charge-Off 的任一状态下，如果充电器检测到 V_{VBAT} 高于 4.6V，系统会只允许 VCHG 供电直到断掉电池连接。

[Battery-Temperature-Error]

充电器会一直监测 THERMBAT 管脚的电压值。如果其电压值高于 VTHM 电压（由 VBTEMP 设定）的 73% 或低于 VTHM 电压的 23% 时，电池温度会被认定为异常状态并且充电会转移到 Battery-Temperature-Error 状态。在 Battery-Temperature-Error 状态下，除非之 Charge-Off 和 Adapter-Over-Voltage 状态条件满足，否则充电过程会停止并且 VSYS 只会由 VCHG 供电。

如果 THERMBAT 电压回复到正常范围，充电器会回到 Battery-Temperature-Error 状态的前一个状态。

9.3 充电中断请求

充电器通过 INTB 管脚发出中断。所有的中断请求可以通过寄存器设置是否屏蔽。

中断请求明细：

- ADPDET 适配器插入或拔出
- DIEOT 由于充电器 SW1 和 SW2 的热量导致芯片温度过高
- VBTERR 电池温度异常
- NOBATT 检测不到电池
- VCOV 适配器电压过高 ($V_{VCHG} > 6.2V$)
- VBOV 电池电压过高 ($V_{VBAT} > 4.6V$)
- STCR 切换到 Charge-Ready 状态
- STRC 切换到 Rapid-Charge 状态
- CHGCMP 充电完成
- TIMEOUT Trickle 及 Rapid 充电计时器计时结束

注意*： DIEOT, VBTERR 和 NOBATT 为电平型中断请求。
另一方面，其他的中断请求只有当内部的中断触发时才会生成。

详细的中断介绍请参考第 10 章 中断控制器的内容 (INTC)..

9.4 锂电池充电的电气特性

工作条件 (非特殊条件不注明) $V_{VCHG} = 5.0V$, $V_{VSYs} = 4.8V$, $V_{VBAT} = 3.6V$, $T_a = -40 \sim 85$ 度

名称	参数	设置	条件	最小值	典型值	最大值	单位
电源输入							
V_{VCHG}	AC 适配器输入电压		Operating voltage	4.3		6.2	V
			Recommended voltage	4.5	5	5.5	V
V_{VSYs}	VSYS Regulation Voltage		$V_{VCHG} = 5.5V$, $I_{total} = 500mA$, $T_a = -10 \sim 60$ degrees C	4.55	4.7	4.85	V
I_{lim}	电流限制	100mA	$V_{VCHG} = 5V$, $V_{VSYs} = 4V$, $T_a = -10 \sim 60$	70	85	100	mA
		200mA		160	180	200	
		300mA		240	270	300	
		400mA		320	360	400	
		500mA		400	450	500	
		600mA		480	540	600	
		700mA		560	630	700	
		800mA *		640	720	800	
		900mA		720	810	900	
		1000mA		800	900	1000	
		1100mA		900	1000	1100	
		1200mA		1000	1100	1200	
		1300mA		1060	1180	1300	
		1400mA		1140	1270	1400	
1500mA	1220	1360	1500				
V_{ADET}	AC 适配器检测电压阈值	Rising	-	4.15	4.3	4.45	V
		Hysteresis			0.3		
V_{AOV}	AC 适配器过压阈值		-	5.8	6.2	6.5	V
R_{SW1}	导通电阻		$V_{VCHG} = 4.7V$, $I_{total} = 500mA$, $T_a = -10 \sim 60$ 度		200	TBD	mohm
V_{OL}	CHGLED “L” 输出电压		$I_{SINK} = 10mA$			0.4	V
I_{OZ}	漏电流		$V_{IN} = 0 \sim V_{VSYs}$, $P_{in} = CHGLED$	-3		3	μA

表. 9-1 充电器电气特性 (电源输入)

注意*: “*” 表示初始值。 设定值可由寄存器设定更改。

工作条件 (非特殊条件不注明) $V_{VCHG} = 5.0V, V_{VSY} = 4.8V, V_{VBAT} = 3.6V, T_a = -40 \sim 85$ 度

名称	参数	设置	条件	最小值	典型值	最大值	单位
电池充电							
V_{BCHG}	电池充电电压阈值	4.2V *	$T_a = -10 \sim 60$ 度, $I_{chg} = 25mA$	4.17	4.2	4.23	V
		4.12V		4.085	4.12	4.155	V
		4.07V		4.035	4.07	4.105	V
I_{chg}	快速充电电流 (Rapid Charge)	100mA	$T_a = -10 \sim 60$ 度	70	85	100	mA
		200mA		100	150	200	mA
		300mA		200	250	300	mA
		400mA		300	350	400	mA
		500mA *		400	450	500	mA
		600mA		400	500	600	mA
		700mA		500	600	700	mA
		800mA		600	700	800	mA
		900mA		700	800	900	mA
		1000mA		800	900	1000	mA
		1100mA		900	1000	1100	mA
1200mA	1000	1100	1200	mA			
I_{tri}	涓流充电电流 (Rapid Charge)	100mA	$T_a = -10 \sim 60$ 度	70	85	100	mA
I_{comp}	充电完成电流	25mA *	$T_a = -10 \sim 60$ 度		25		mA
		50mA			50		mA
		75mA			75		mA
		100mA			100		mA
		125mA			125		mA
		150mA			150		mA
		175mA			175		mA
		200mA			200		mA
V_{RCHG}	快速充电电压阈值 (Rapid Charging)	上升检出阈值	$T_a = -10 \sim 60$ 度	2.9	3	3.1	V
		滞回(Hysteresis)			0.1		
V_{CCMP}	充电完成检出电压 (Re-Charge 电压)	上升检出阈值	$T_a = -10 \sim 60$ 度	4.05	4.1	4.15	V
		滞回(Hysteresis)			0.1		
V_{BOV}	电池过压检测		-	4.5	4.6	4.7	V
V_{BTEMP}	THERMBAT 阈值	低压检出阈值	Ratio of VTHM Voltage		73		%
		高压检出阈值			23		%
T_{DTEMP}	芯片温度控制阈值		温度检测阈值 (可编程)		105 115 125 135		度
			滞回 (Hysteresis)		20		
R_{SW2}	导通电阻		$V_{VBAT} = 4.2V, I_{bat} = 1A$		60	TBD	mohm
T_{tri}	充电计时	Trickle 计时	$T_a = -10 \sim 60$ degrees C		40		min
Trap		Rapid 充电计时			120 *		min
I_{batmax}	I_{bat} 最大电流	从电池至系统供电	$3.4V < V_{VBAT} < 4.2V$			1.2	A

表. 9-2 充电器电气特性 (电池充电)

注意*: “*” 表示初始值。 设定值可由寄存器设定更改。

10. 中断控制器 (INTC)

RC5T616 内部集成有一个中断控制器 (INTC)。

CPU 可以读取所有可读的来自不同功能模块的中断请求标识 (Interrupt Request Flags)。当中断产生时，通过 INTB 管脚，CPU 将被通知并且读取监测 (Monitor) 寄存器 (MON_**) 来确认哪个模块在生成中断请求。监测寄存器只能进行读操作。所有被许可的中断请求标识(IR_**)的或信号即是 INTB 的输出。

CPU 可以在开机的情况下读取监测寄存器来识别 RN5T614 的当前状态。此外，如果需要开启中断通过 INTB 管脚，必须对使能 (Enable) 寄存器写入“1”。

10.1 中断控制器框图

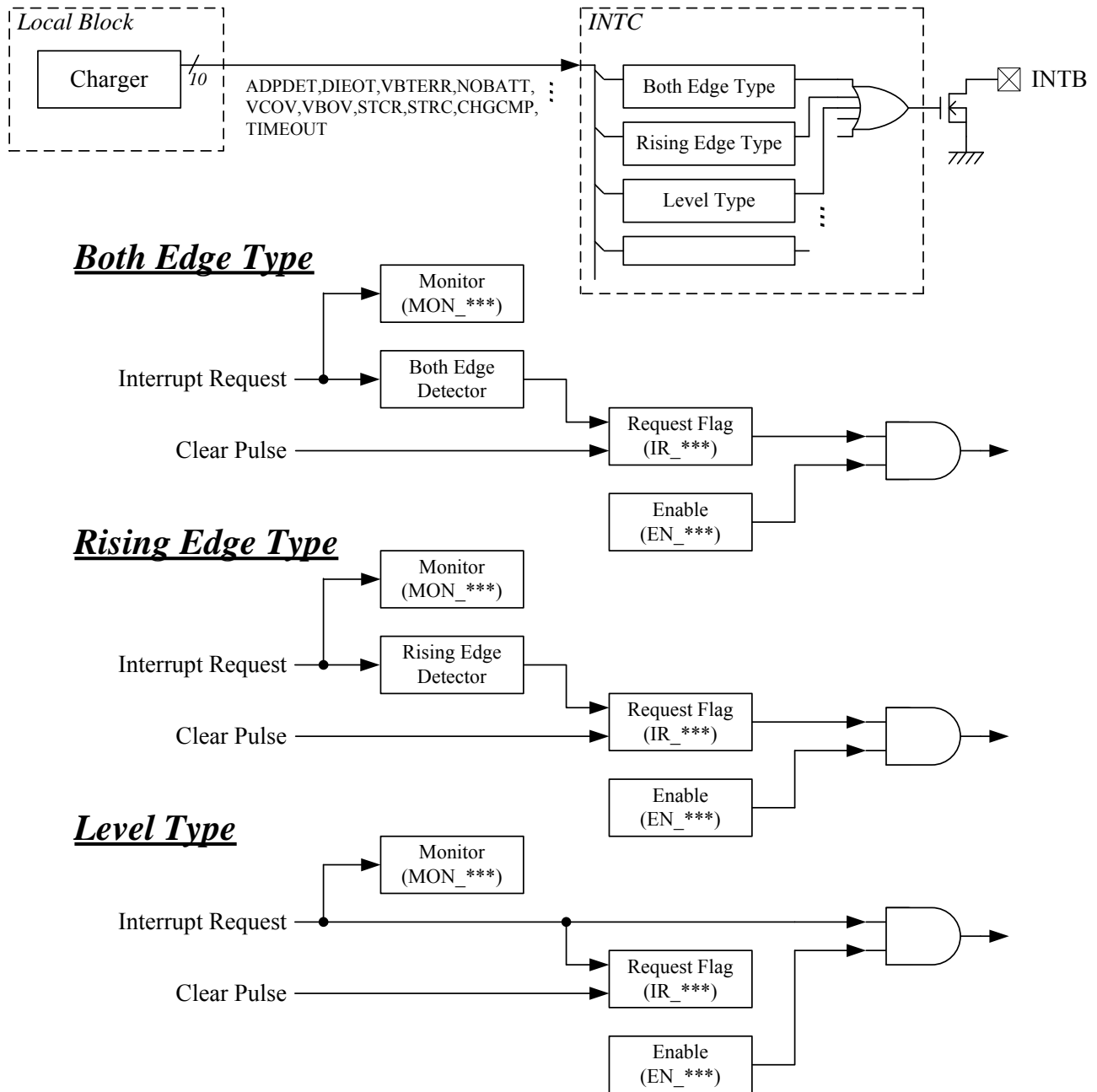
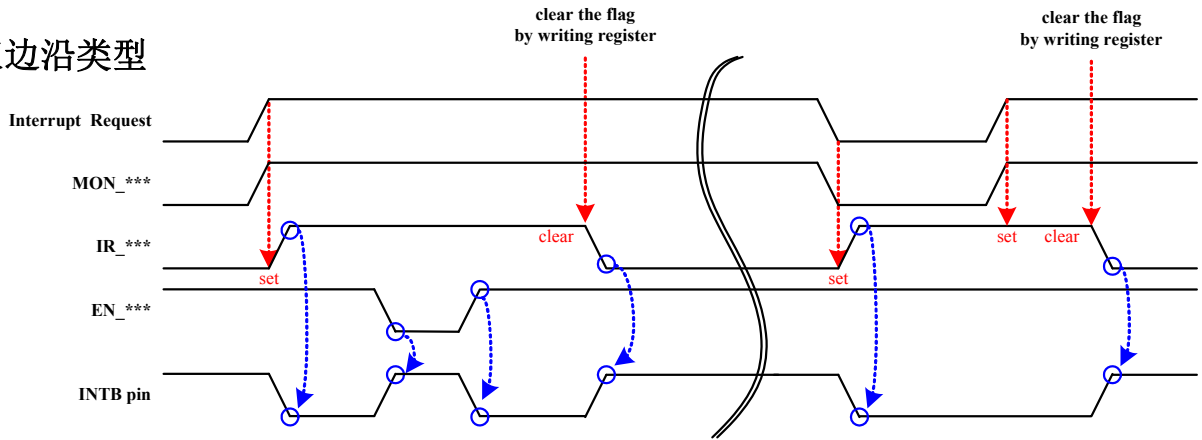


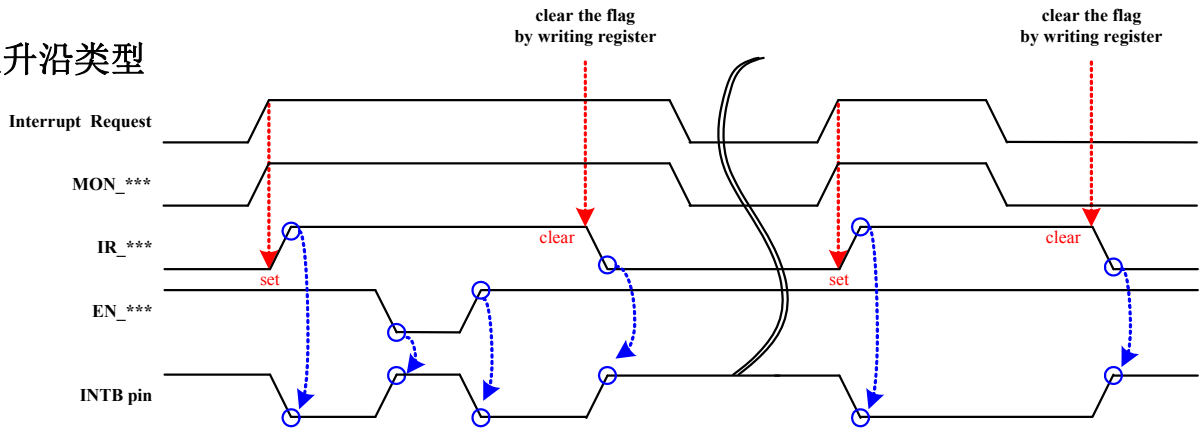
图. 10-1 中断控制器框图

10.2 中断时序图

双边沿类型



上升沿类型



电平类型

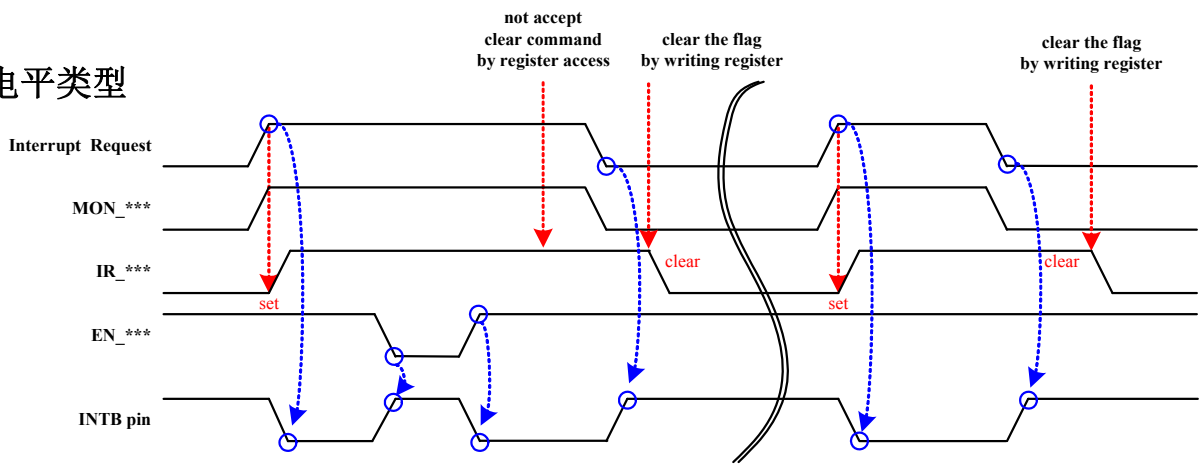


图. 10-2 中断时序图

10.3 中断请求列表

模块	中断请求	检测类型 电平/边沿	Enable信号 (EN ***)	监控寄存器信号 (MON ***)	请求标识 (IR ***)
充电器	ADPDET	双边沿	EN_ADPDET	MON_ADPDET	IR_ADPDET
	DIEOT	电平	EN_DIEOT	MON_DIEOT	IR_DIEOT
	VBTERR	电平	EN_VBTERR	MON_VBTERR	IR_VBTERR
	NOBATT	电平	EN_NOBATT	MON_NOBATT	IR_NOBATT
	VCOV	上升沿	EN_VCOV	MON_VCOV	IR_VOOV
	VBOV	上升沿	EN_VBOV	MON_VBOV	IR_VBOV
	STCR	上升沿	EN_STCR	---	IR_STCR
	STRC	上升沿	EN_STRC	---	IR_STRC
	CHGCMP	上升沿	EN_CHGCMP	---	IR_CHGCMP
	TIMEOUT	上升沿	EN_TIMEOUT	---	IR_TIMEOUT
音频解码器	SPLIM	上升沿/电平	EN_SPLIM	MON_SPLIM	IR_SPLIM
升压DCDC	BDCLIM	上升沿	EN_BDCLIM	MON_BDCLIM	IR_BDCLIM

表. 10-1 中断请求列表

11. 音频编解码器

音频编解码器由一个 16-bit 的立体声 ADC 和一个 2 路的 16-bit 的立体声 DAC 组成，其用于提供 Hi-Fi 音频记录及回放功能。

音频编解码器支持一个具有麦克风偏置 (MICBIAS) 的立体声麦克风 (差分)，一个立体声数字麦克风，立体声线路输入 (单端)，立体声耳机放大器，立体声线路输出放大器和 2W 的单声道 Class-D 扬声器前置放大器。每一个输出放大器提供 pop noise 抑制功能。扬声器放大器支持直接电池连接供电。所有的这些放大器含有混频器及衰减器。

此外集成的低功耗 PLL 支持多种系统时钟频率。

11.1 音频编解码器特性

- 音频 DAC 16bit 线性立体声 DAC : 2ch (采样频率: 48kHz~8kHz)
- 音频 ADC 16bit 线性立体声 ADC (采样频率: 48kHz~8kHz)
- 立体声麦克风放大器 差分输入
- 麦克风偏置 Vout = 2.0V, Iout = 1mA
- 立体声数字麦克风 接口
- 立体声线路输入 单端输入
- 立体声耳机放大器 16mW (16ohm load)
- 立体声线路输出
- 单声道扬声器前置放大器
- 单声道扬声器放大器 2W (4ohm BTL load)
- Pop 噪声抑制
- 串行接口 2ch
- 音频 PLL 2ch
- 解码器模拟电路用 LDO 2ch. LDOCOA : 2.8V@40mA, LDOHPA : 2.8V@100mA

11.2 音频编解码器结构框图

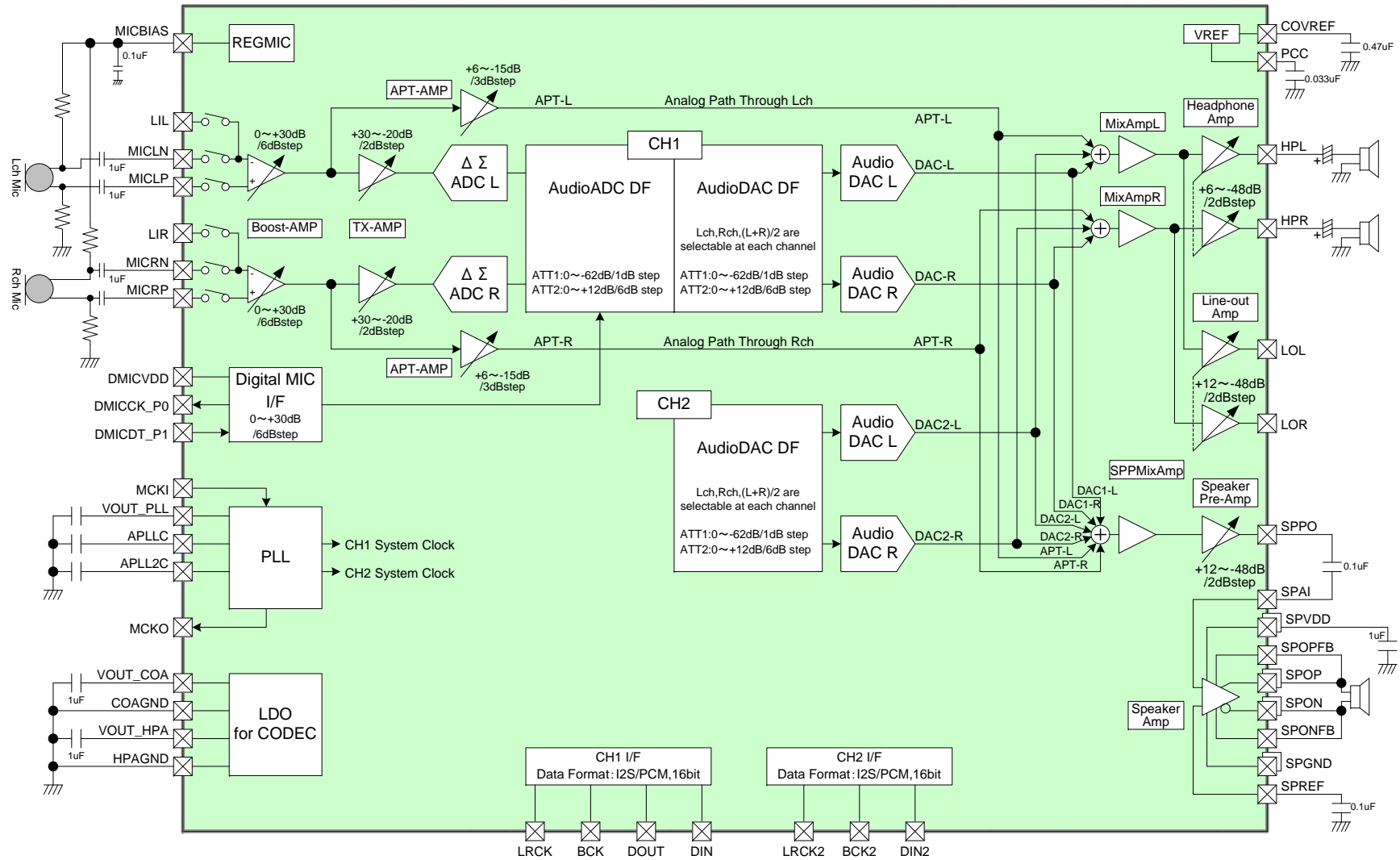


图.11-1 音频编解码器结构框图

11.3 音频编解码器概述

- 音频 DAC
 - DAC 16bit 线性立体声 DAC : 2ch
 - 采样频率 48kHz, 44.1kHz, 32kHz, 24kHz, 22.05kHz, 16kHz, 12kHz, 11.025kHz, 8kHz
 - 接口数据类型 16bit Linear/ IIS 数据格式, PCM 格式
 - 接口模式 主机和从机
 - 数字衰减器 增益 1:0~-62dB/1dB 每步, 静音, 增益 2:0~+12dB/6dB 每步, 静音
 - 增益平滑控制 增益 1 可以通过增益平滑控制变为当前设定值
 - 相位及单声道混合 每一个 L/R 声道可选 Lch / Rch / Mono mix {(L ch+R ch)/2}
 - 电源控制 控制数字模块和模拟模块

- 音频 ADC
 - ADC 16bit 线性立体声 ADC
 - 采样频率 48kHz, 44.1kHz, 32kHz, 24kHz, 22.05kHz, 16kHz, 12kHz, 11.025kHz, 8kHz
 - 接口数据类型 16bit Linear/ IIS 数据格式, PCM 格式
 - 接口模式 主机和从机
 - 数字衰减器 增益 1:0~-62dB/1dB 每步, 静音, 增益 2:0~+12dB/6dB 每步, 静音
 - 增益平滑控制 增益 1 可以通过增益平滑控制变为当前设定值
 - 电源控制 控制数字模块和模拟模块

- 立体声麦克风输入和立体声线路输入(辅助输入)
 - 电平 麦克风输入: 模拟输入=2.0Vppd → DOUT 输出=3.17dBm0(=0dBFS)
线路输入: 模拟输入=2.0Vpp → DOUT 输出=3.17dBm0(=0dBFS)
 - 衰减器 BoostAMP :0dB~+30dB/ 6dB step.
TXAMP :+30dB~-20dB/ 2dB step, Mute.
 - 电源控制 独立可控 Lch 和 Rch.

- 麦克风偏置 输出电压=2.0V, Iout = 1mA.

- 数字麦克风 接口 支持立体声数字麦克风
 - 电平 调制效率 100% → DOUT Output=3.17dBm0(=0dBFS)
 - 衰减器 0dB~+30dB/ 6dB step.
 - 接口电平 DMICCK 和 DMICDT 管脚电源由 DMICVDD 管脚提供

对于每一个 Lch/Rch 输出, 可以选择下列中的一个

 - ΔΣADC Lch
 - ΔΣADC Rch
 - 立体声数字麦克风 Lch 输入
 - 立体声数字麦克风 Rch 输入

- 立体声耳机放大器
 - 输出功率 16mW (16ohm 单端负载, THD+N < 1%)
 - 电平 DIN 输入=0dBFS (3.17dBm0) → 模拟输出=1.6Vpp
 - 衰减器 +6~-48dB/ 2dB 每步, 静音, 增益平滑控制
 - Pop 噪声抑制
 - 电源控制 独立可控 Lch 和 Rch.

- 立体声线路输出 (辅助输出)
 - 电平图 DIN 输入=0dBFS (3.17dBm0) → 模拟输出=2.24Vpp
 - 衰减器 +12~-48dB/ 2dB 每步, 静音, 增益平滑控制
 - Pop 噪声抑制
 - 电源控制 独立可控 Lch 和 Rch.

- 单声道扬声器前置放大器
 - 电平 DIN 输入=0dBFS (3.17dBm0) → 模拟输出=2.24Vpp
 - 衰减器 +12~-48dB/ 2dB 每步, 静音,增益平滑控制
 - Pop 噪声抑制
 - 电源控制

- 单声道扬声器放大器
 - 输出功率 2W (4ohm BTL 负载, THD+N < 1%)

- 穿过放大器的模拟路径 (APT-AMP)
 - 衰减器 +6~-15dB/ 3dB 每步
 - 电源控制 独立可控 Lch 和 Rch.

- 音频 PLL
 - 供 CODEC CH1 和 CODEC CH2 的两个 PLL
 - 音频编解码器的工作使用的时钟有外部时钟输入(MCKI)提供
 - 生成时钟输出 (MCKO).

- LDO
 - LDOCOA 为编解码器模拟电路供电 (不含耳机放大器)
输出电压=2.8V, 输出电流 I=40mA.
 - LDOHPA 为耳机放大器供电
输出电压=2.8V, 输出电流=100mA.

11.4 音频编解码器流结构框图

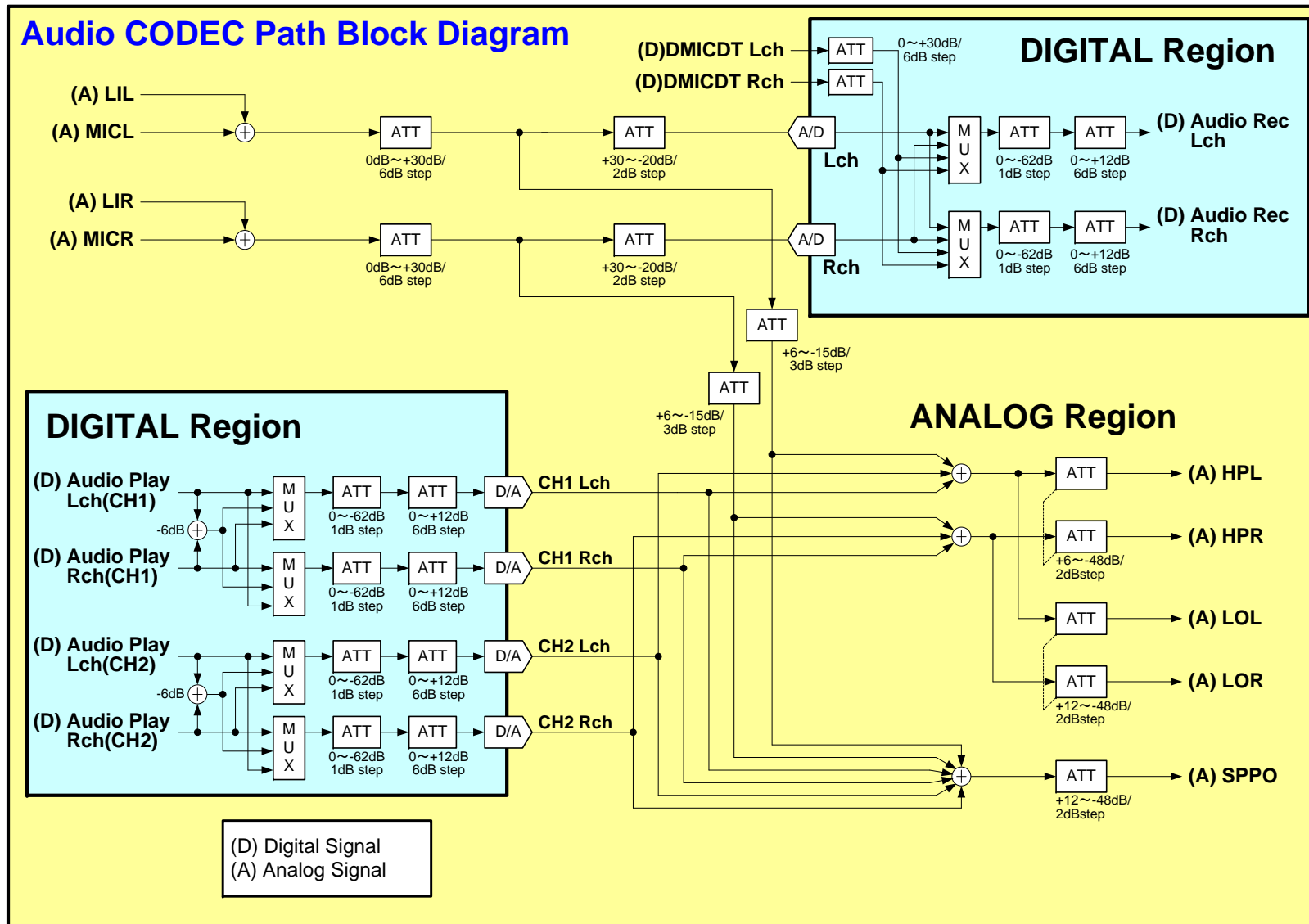


图.11-2 音频编解码器流结构框图

11.5 音频编解码器电气特性

工作条件 (非特殊条件不注明)

VOUTD = 1.8V, VDDIO = 1.8V, VOUT_COA = VOUT_HPA = 2.8V, T_a = 25 度

主机模式, CH1, 采样频率 = 48kHz, MCKI 频率 = 12.288MHz.

名称	参数	条件	最小值	典型值	最大值	单位
Id	数字电路消耗电流	w/o PLL 模块, CH2 关闭		2.0	TBD	mA
I _{aq}	模拟电路 静态消耗电流	耳机路径, 无负载, w/o PLL 模块		TBD	TBD	mA
I _{spq}	扬声器放大器 静态电流	无负载		TBD	TBD	mA
I _d pdn	数字电路关机电流			5.0	TBD	uA
I _a pdn	模拟电路关机电流			2.0	TBD	uA

表 11-1 系统电气特性

名称	参数	条件	最小值	典型值	最大值	单位
POUT	输出功率	THD+N < 1%, RL=16ohm, Signal=0dBFS@1kHz, 0dB 增益设置	TBD	16		mW
	满幅输出	无负载, Signal=0dBFS@1kHz, 0dB 增益设置		1.6		V _{pp}
THD+N	总谐波失真 +噪声	RL=16ohm, Signal=-3dBFS@1kHz, 0dB 增益设置, POUT = 10mW		-70	TBD	dB
SNR	信噪比	RL=16ohm, Signal=0dBFS@1kHz, 0dB 数字增益设置, -2dB HPAMP 增益设置, Noise=digital zero, A-weighted	90	96		dB
PSRR	纹波抑制比	COVREF=0.47uF, VRIPPLE=200mVp-p @1kHz	50			dB
RL	负载电阻		12	16		ohm
CL	负载电容				200	pF

表 11-2 耳机路径电气特性

名称	参数	条件	最小值	典型值	最大值	单位
POUT	满幅输出	RL=10kohm, 0dB 增益设置		2.24		V _{pp}
THD+N	总谐波失真 +噪声	RL=10kohm, Signal=0dBFS@1kHz, 0dB 增益设置		-78	TBD	dB
SNR	信噪比	RL=10kohm, Signal=0dBFS@1kHz, 0dB 增益设置, Noise=digital zero, A-weighted	90	96		dB
PSRR	纹波抑制比	COVREF=0.47uF, VRIPPLE=200mVp-p @1kHz	50			dB
RL	负载电阻		10k			ohm
CL	负载电容				100	pF

表 11-3 线路输出路径电气特性

路径 : DIN -> DAC-Lch -> SPPO

名称	参数	条件	最小值	典型值	最大值	单位
POUT	满幅输出	RL=10kohm, 0dB gain setting		2.24		Vpp
THD+N	总谐波失真 +噪声	RL=10kohm, Signal=0dBFS@1kHz, 0dB gain setting		-76	TBD	dB
SNR	信噪比	RL=10kohm, Signal=0dBFS@1kHz, 0dB gain setting, Noise=digital zero, A-weighted	89	95		dB
PSRR	纹波抑制比	COVREF=0.47uF, VRIPPLE=200mVp-p @1kHz	50			dB
RL	负载电阻		10k			ohm
CL	负载电容				100	pF

表 11-4 扬声器前置放大器电气特性

名称	参数	条件	最小值	典型值	最大值	单位
PB	通带			0.445		fs
PBR	通带纹波	0fs ~ 0.445fs	-0.3	0	0.3	dB
SB	阻带			0.555		fs
SBA	阻带衰减	0.555fs ~ 1fs, fs=48kHz/44.1kHz/32kHz		-50		dB
		0.555fs ~ 1fs, fs=otherwise		-75		

表 11-5 音频 DAC 数字滤波器响应

11.6 扬声器放大器电气特性

工作条件 (非特殊条件不注明)

SPVDD = 5.0V, $T_a = 25$ degrees C,

下表中的条件中, SPAI 管脚有 DC 耦合的电压输入

名称	参数	条件	最小值	典型值	最大值	单位
Tsp	启动时间	输入耦合电容= 0.1uF			100	ms
POUT	输出功率	THD+N < 1%, RL=4ohm, f=1kHz		2000		mW
	满幅输出	No Load, Signal=2.24Vpp@1kHz		8		Vppd
THD+N	总谐波失真 +噪声	SPVDD=5.0V, RL=4ohm, POUT = 500mW f=1kHz		-50	-40	dB
SNR	信噪比	SPVDD=5.0V, RL=4ohm, A-weighted Signal=2.24Vpp@1kHz, Noise=0V	84	94		dB
η	效率	RL=4ohm, POUT = 2000mW	70			%
RL	负载电阻		4			ohm

表 11-6 扬声器放大器电气特性

11.7 音频 ADC 路径电气特性

工作条件 (非特殊条件不注明)

VOUTD = 1.8V, VDDIO = 1.8V, VOUT_COA = 2.8V, T_a = 25 degrees C,

主机模式, 采样频率= 48kHz, MCKI 频率= 12.288MHz.

名称	参数	条件	最小值	典型值	最大值	单位
Id	数字电路消耗电流	w/o PLL block		2.0	TBD	mA

表 11-7 系统电气特性

名称	参数	条件	最小值	典型值	最大值	单位
I _{aq}	模拟电路静态消耗电流	w/o PLL 模块		TBD	TBD	mA
V _{id}	最大差分输入电压	0dB Boost-amp 和 TX-amp 增益设定		2.0		V _{ppd}
V _i	最大输入电压	0dB Boost-amp 和 TX-amp 增益设定		2.0		V _{pp}
THD+N	总谐波失真 +噪声	Signal=-0.5dBFS@1kHz, 0dB Boost-amp 和 TX-amp 增益设定		-75	TBD	dB
SNR	信噪比	Signal=0dBFS@1kHz, A-weight, 0dB Boost-amp 和 TX-amp 增益设定	86	91		dB
CT	立体声 Channel-to-Channel 串扰	Signal=-3dBFS@1kHz		-75		dB
Z _i	输入电阻			30		kohm

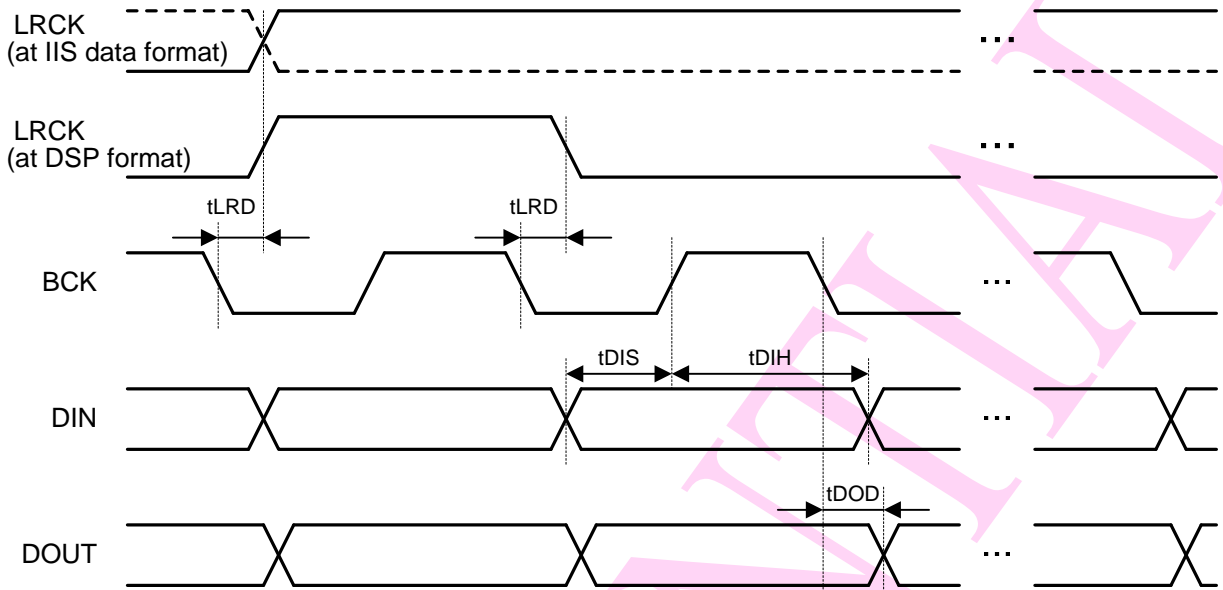
表 11-8 Mic 输入路径和线路输入路径电气特性

名称	参数	条件	最小值	典型值	最大值	单位
PB	通带	0 ~ -0.1dB		0.394		fs
		-1dB		0.453		
		-3dB		0.478		
PBR	通带纹波	0 ~ -0.1dB	-0.3	0	0.3	dB
SB	阻带			0.613		fs
SBA	阻带衰减			-65		dB

表 11-9 音频 ADC 数字滤波器响应

11.8 音频数据串行接口时序

AC 特性



从机模式

工作条件 (非特殊条件不注明) VOUTD = 1.8V, VDDIO = 1.8V, 30pF load, T_a = 25 度

名称	参数	条件	最小值	典型值	最大值	单位
	LRCK 占空比	IIS 数据格式	45		55	%
	BCK 占空比		45		55	%
tBCK	BCK 频率		32 * fs		128 * fs	kHz
tLRD	LRCK 延迟时间	BCK 下降沿后	-50		50	ns
tDIS	DIN 建立时间	BCK 上升沿前	50			ns
tDIH	DIN 保持时间	BCK 上升沿后	50			ns
tDOD	DOUT 延迟时间	BCK 下降沿后			50	ns

表 11-10 音频数据串行接口 AC 特性(从机模式)

主机模式

工作条件 (非特殊条件不注明) VOUTD = 1.8V, VDDIO = 1.8V, 30pF load, T_a = 25 度

名称	参数	条件	最小值	典型值	最大值	单位
	LRCK 占空比	IIS 数据格式	45		55	%
	BCK 占空比		45		55	%
tBCK	BCK 频率			64 * fs		kHz
tLRD	LRCK 延迟时间	BCK 下降沿后	-50		50	ns
tDIS	DIN 建立时间	BCK 上升沿前	50			ns
tDIH	DIN 保持时间	BCK 上升沿后	50			ns
tDOD	DOUT 延迟时间	BCK 下降沿后			50	ns

Table 11-11 音频数据串行接口 AC 特性(主机模式)

注意*: CH2 时序相同.

注意*: fs = 48kHz, 44.1kHz, 32kHz, 24kHz, 22.05kHz, 16kHz, 12kHz, 11.025kHz, 8kHz

注意*: 当 LRCK or BCK 翻转, 信号特性在上述条件的相反边沿成立。

11.9 PLL 电气特性

Audio-PLL

工作条件 (非特殊条件不注明)

VOUTD = 1.8V, VDDIO = 1.8V, VOUT COA = 2.8V, T_a = 25 度

名称	参数	条件	最小值	典型值	最大值	单位
Id	数字电路消耗电流	MCKI = 19.2MHz, fs = 48kHz		0.5	TBD	mA
Ia	模拟电路消耗时间	fs = 48kHz		0.5	TBD	mA
Tlock	锁定时间				10	ms

表 11-12 Audio-PLL 电气特性

MCKI, MCKO

工作条件 (非特殊条件不注明)

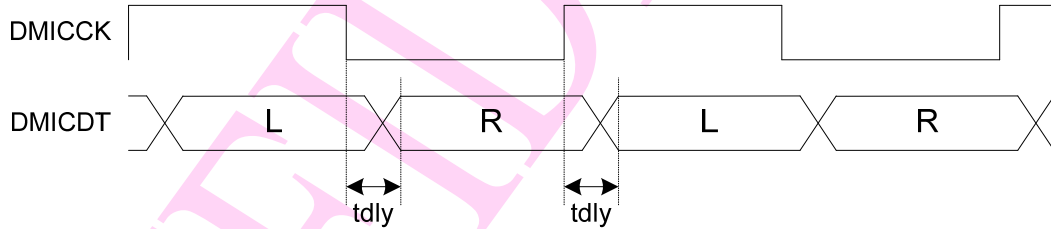
VOUTD = 1.8V, VDDIO = 1.8V, VOUT COA = 2.8V, T_a = 25 度

名称	参数	条件	最小值	典型值	最大值	单位
	MCKI 占空比		45		55	%
	MCKI 频率		2		27	MHz
	MCKO 占空比	DIVO ≠ 010, 15pF load	45		55	%
		DIVO = 010, 15pF load	30		70	%
	MCKO 频率	15pF load			27	MHz

表 11-13 MCKI, MCKO AC 特性

11.10 数字麦克风接口时序

AC 特性



工作条件 (非特殊条件不注明)

VOUTD = 1.8V, VOUT COA = 2.8V, DMICVDD = 1.8V, T_a = 25 度

名称	参数	条件	最小值	典型值	最大值	单位
f	DMICCK 频率		1		3.25	MHz
Duty	DMICCK 占空比		45	50	55	%
tdly	DMICDT 延迟时间		-	-	50	ns

表 11-14 数字麦克风 接口 AC 特性

11.11 REGMIC 电气特性

工作条件 (非特殊条件不注明)

VOUT COA = 2.8V, Cout = 0.1uF, Ta = 25 度

名称	参数	条件	最小值	典型值	最大值	单位
VOUT	输出电压	$10\mu\text{A} \leq \text{IOUT} \leq \text{IOUTmax}$	1.8	2.0	2.2	V
IOUT	输出电流				1	mA
I _{ss}	消耗电流	IOUT=0mA		200		uA
RR	纹波抑制比	2.8V+0.1Vp-p IOUT=IOUTmax/2, f=1kHz		60		dB
Vn	输出噪声水平	BW=20Hz~20kHz (with A-weighting), IOUT=IOUTmax/2		-96	-90	dBV
tu	上升时间	IOUT=IOUTmax, VOUT>90%			100	us
td	下降时间	IOUT=0mA, VOUT<0.5V			500	us

表 11-15 REGMIC 电气特性

11.12 LDO 电气特性

LDOCOA (VOUT_COA)

工作条件 (非特殊条件不注明)

正常模式, VIN = 3.6V, Cout = 1uF, Ta = 25 度

名称	参数	条件	最小值	典型值	最大值	单位
VIN	输入电压范围		3.1	3.6	5.5	V
VOUT	输出电压范围	$V_{OUT}+0.3V \leq V_{IN}$ $10\mu A \leq I_{OUT} \leq I_{OUTmax}$	-3%	2.8	+3%	V
IOUT	最大输出电流			40	60	mA
ISHT	短路电流	VOUT=0V		65		mA
$\Delta V_{OUT}/\Delta V_{IN}$	输入调整率	IOUT=0~IOUTmax/2			10	mV
$\Delta V_{OUT}/\Delta I_{OUT}$	负载调整率	IOUT=0~IOUTmax			25	mV
$\Delta V_{OUT}/\Delta T_a$	输出电压 温度关联特性	-40 度 $\leq T_a \leq$ 85 度		± 100		ppm/度
Icc	电流消耗	IOUT=0mA		20		μA
Ioff	Stand-by 消耗	IOUT=0mA			1	μA
RR	纹波抑制比 (PSRR)	$2.8V+0.1Vp-p@f=1kHz$ IOUT=IOUTmax/2		60		dB
Vn	输出噪声 (RMS)	BW=10Hz~100kHz, IOUT=IOUTmax/2		60		μV_{rms}
tu	上升时间	IOUT=IOUTmax, VOUT>90%			100	us
td	下降时间	IOUT=0mA, VOUT<0.5V			100	us

表 11-16 LDOCOA 电气特性

LDOHPA (VOUT_HPA)

工作条件 (非特殊条件不注明)

正常模式, VIN = 3.6V, Cout = 1uF, Ta = 25 度

名称	参数	条件	最小值	典型值	最大值	单位
VIN	输入电压范围		3.1	3.6	5.5	V
VOUT	输出电压范围	$V_{OUT}+0.3V \leq V_{IN}$ $10\mu A \leq I_{OUT} \leq I_{OUTmax}$	-3%	2.8	+3%	V
IOUT	最大输出电流			100	150	mA
ISHT	短路电流	VOUT=0V		80		mA
$\Delta V_{OUT}/\Delta V_{IN}$	输入调整率	IOUT=0~IOUTmax/2			10	mV
$\Delta V_{OUT}/\Delta I_{OUT}$	负载调整率	IOUT=0~IOUTmax			50	mV
$\Delta V_{OUT}/\Delta T_a$	输出电压 温度关联特性	-40degreesC $\leq T_a \leq$ 85 degreesC		± 100		ppm/ degreesC
Icc	电流消耗	IOUT=0mA		35		μA
Ioff	Stand-by 消耗	IOUT=0mA			1	μA
RR	纹波抑制比 (PSRR)	$2.8V+0.1Vp-p@f=1kHz$ IOUT=IOUTmax/2		60		dB
Vn	输出噪声 (RMS)	BW=10Hz~100kHz, IOUT=IOUTmax/2		60		μV_{rms}
tu	上升时间	IOUT=IOUTmax, VOUT>90%			100	us
td	下降时间	IOUT=0mA, VOUT<0.5V			100	us

表 11-17 LDOHPA 电气特性

11.13 音频编解码器模块

音频编解码器结构框图如下图所示。

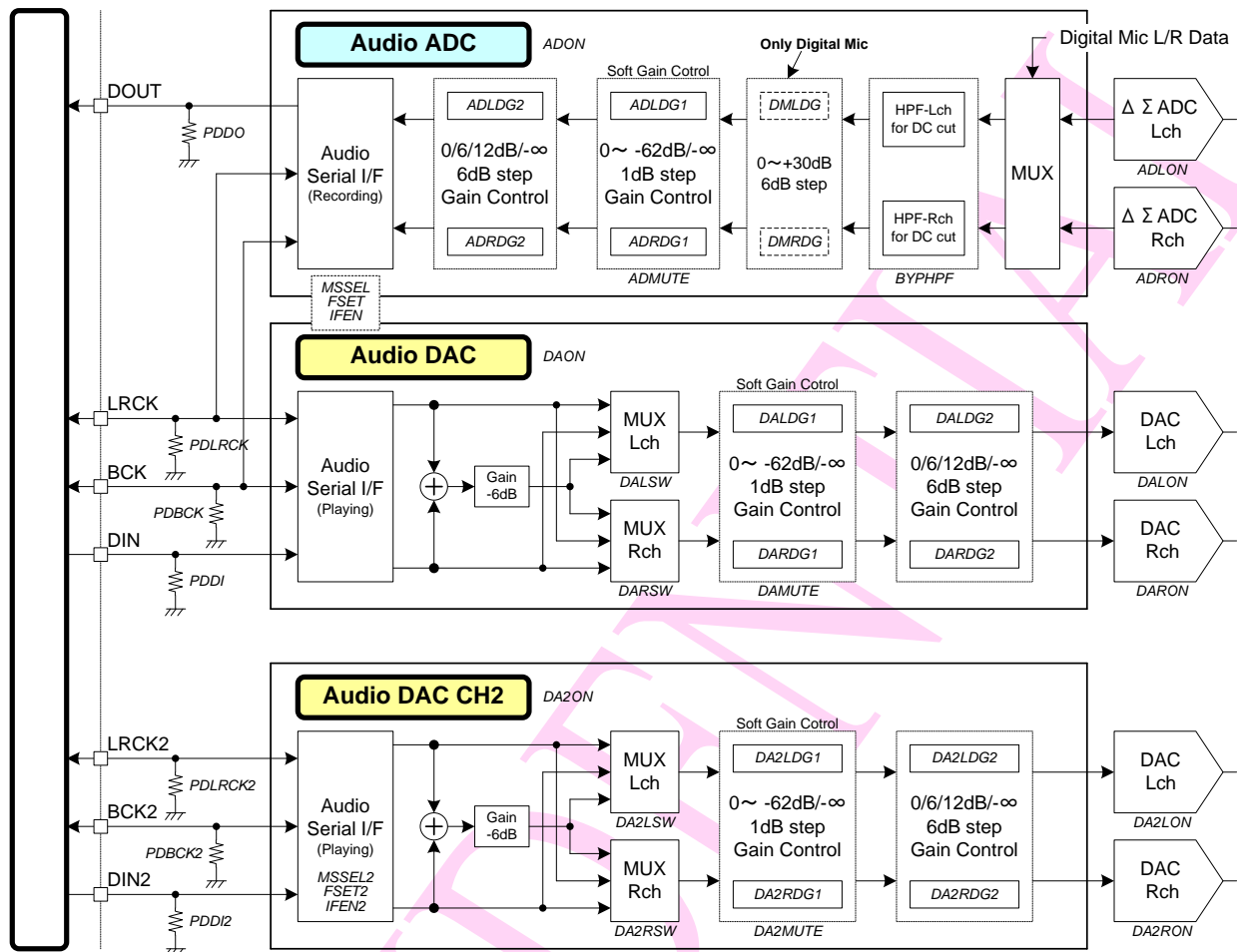


图.11-3 音频编解码器模块框图

音频编解码器模块包含音频 ADC 模块和音频 DAC 模块。

音频 ADC 模块从模拟模块或者数字麦克风的 $\Delta\Sigma$ ADC 模块那接收 PDM 数据。来自 DOUT 管脚的 1fs-串行数据，由 PDM 数据经过数字模块中的抽取滤波器，HPF 以及数字衰减器的降采样操作生成。

对于每一路 Lch 和 Rch 输出，图 3-3 中的 MUX 会在 $\Delta\Sigma$ ADC Lch, $\Delta\Sigma$ ADC Rch, 数字麦克风 Lch, 和数字麦克风 Rch 中选择某个信号通过。

HPF 是个用于隔直的滤波器。数字衰减器包含数字麦克风衰减器，衰减器 1，衰减器 2。这些衰减器都能为每个 Lch/Rch 设定增益。

数字麦克风衰减器只作用于数字麦克风输入信号，它可设定增益以 6dB 的步长从 0dB 变化到+30dB。此外，此衰减器无法作用于来自 ADC 的信号。

衰减器 1 可设定增益以 1dB 的步长从 0dB 变化到-62dB，并且在寄存器的设定过程中拥有可以平滑改变增益的增益平滑控制功能。增益变化在 0dB \leftrightarrow -62dB 的范围内大约需时 20ms。例：在 $f_s=44.1$ kHz 时，约 23.2ms。

衰减器 2 可设定增益以 6dB 的步长从 0dB 变化到+12dB，并且当改变寄存器变化时增益会立即改变。

模拟模块的 $\Delta\Sigma$ ADC 可以逐一通过 ADLON 和 ADRON 寄存器设定切换为节能模式，数字模块可通过 ADON 寄存器设定切换为节能模式。

音频 DAC 模块集成有一个双通道的数字模块: CH1 and CH2, 并且它们各自包含有复用器和数字衰减器。每个数字衰减器为 DAC 的模拟输出 (见图 3-3)。

复用器会混合或选择来自 DIN 管脚的 1fs 串行信号。它能为每一个 Lch/Rch 信号选通 Lch/Rch/{(Lch+Rch)/2} 信号。数字衰减器包含有衰减器 1 和衰减器 2, 并且它可用于设定每一路 Lch/Rch 信号的增益, 诸如音频 ADC 模块的信号。另外设定范围步长以及增益变换时间的控制方法和音频 ADC 模块的数字衰减器是相同的。

模拟模块里的 DAC 可以逐一通过 DALON, DARON DA2LON 和 DA2RON 寄存器设定切换为节能模式, 数字模块的每一路 CH1 和 CH2 可通过 DAON 和 DA2ON 寄存器设定切换为节能模式。

11.14 音频数据串行数据格式

DSP 串行接口有为音频编解码器 CH1 和 CH2 专用的接口端口。

音频系统接口支持 IIS 数据格式和 PCM 格式。数据长度为 16bit。帧同步时钟 (LRCK 和 LRCK2) 以及 bit 时钟 (BCK 和 BCK2) 可以独立翻转。

在下图中每个接口信号管脚表征的是 CHI 的时序, CH2 的时序是相同的。

音频编解码器传接口格式(IIS 格式, LRCK 无翻转, BCK 无翻转)

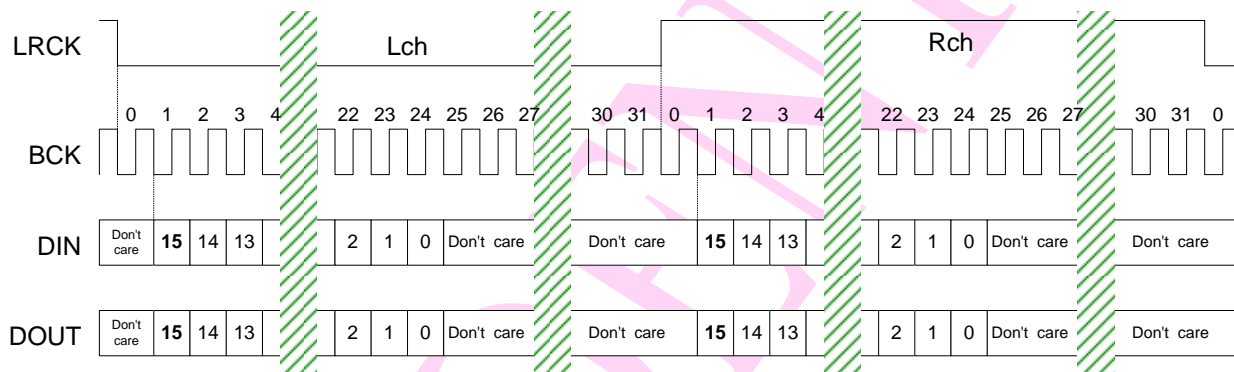


图.11-4 音频编解码器串行接口格式

音频编解码器串行接口格式(PCM 格式, LRCK 无翻转, BCK 无翻转)

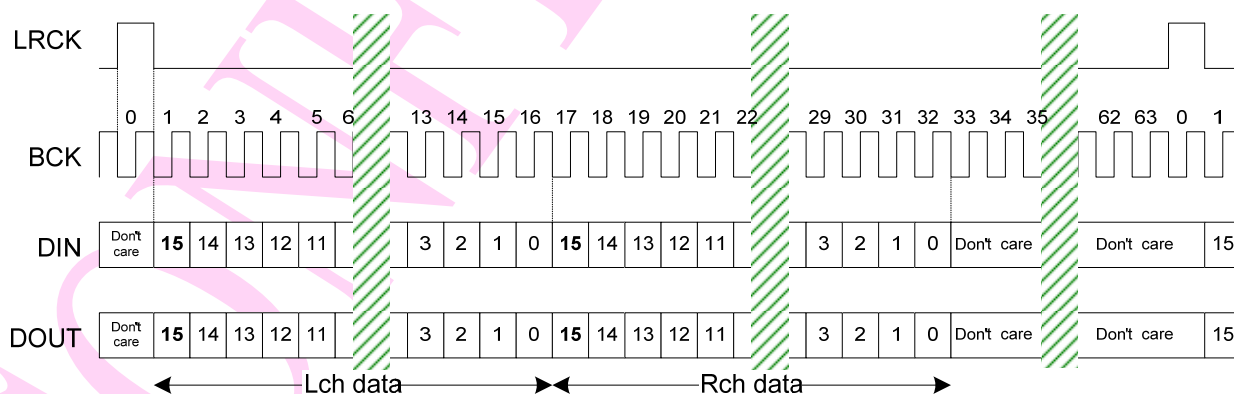


图.11-5 音频编解码器串行接口格式

11.15 PLL

PLL 由两个系统组成: 音频编解码器 (CH1) 及音频编解码器 (CH2).
 CH1 和 CH2 的工作时钟都可以由 PLL 时钟输出或者来自 MCKI 管脚的时钟输入提供。PLL 的输入参考时钟可以由 MCKI 管脚输入, 时钟管脚串行位或者 L/R 选择信号管脚提供。

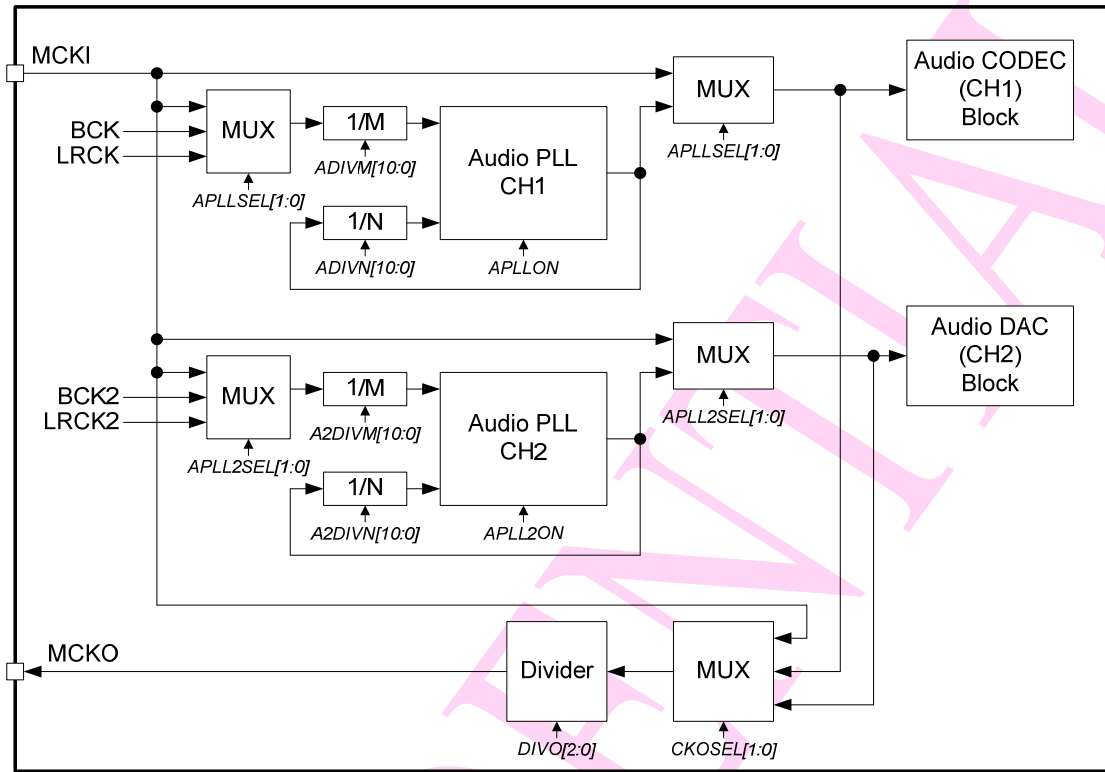


图.11-6 PLL 模块框图

至于音频编解码器时钟以及音频 DAC 时钟的工作频率则必须如下表一样对应不同的采样频率采用 12.288MHz, 11.2896MHz 或者 12.288MHz 中的一种。

采样频率	工作频率	频率倍数
48kHz	12.288MHz	x256
24kHz		x512
12kHz		x1024
44.1kHz	11.2896MHz	x256
22.05kHz		x512
11.025kHz		x1024
32kHz	12.288MHz	x384
16kHz		x768
8kHz		x1536

在 PLL 内部生成的时钟的频率由下式给出:

$$\begin{aligned} \text{参考频率} &= \text{MCKI 频率} \div M = \text{PLL 生成频率} \div N \\ \text{PLL 生成频率} &= \text{MCKI 频率} \times N \div M \\ M &= \text{ADIVM}[10:0](\text{A2DIVM}[10:0]) \text{ 寄存器设定值} + 1, \\ N &= \text{ADIVN}[10:0](\text{A2DIVN}[10:0]) \text{ 寄存器设定值} + 1 \end{aligned}$$

注意*: 参考频率需低于 100kHz.
 每一个 Each M 和 N 的设定值必须为一个大于 1 的整数。
 (大于 ADIVM, A2DIVM, ADIVN, A2DIVN = 0)

当然如果 MCKI 管脚的输入时钟频率符合上表中的工作频率,它可以直接用作音频编解码器的时钟(毋需 PLL)。PLL 在不使用时可以被关闭。

PLL 设定实例 1

MCKI 频率	采样频率	M	N	PLL 生成频率	误差
19.2MHz	48kHz, 24kHz, 12kHz	500	320	12.288MHz	0%
	44.1kHz, 22.05kHz, 11.025kHz	500	294	11.2896MHz	0%
	32kHz, 16kHz, 8kHz	500	320	12.288MHz	0%

PLL 设定实例 2

MCKI 频率	采样频率	M	N	PLL 生成频率	误差
26.0MHz	48kHz, 24kHz, 12kHz	639	302	12.28795MHz	+0.000%
	44.1kHz, 22.05kHz, 11.025kHz	532	231	11.289474MHz	-0.001%
	32kHz, 16kHz, 8kHz	639	302	12.28795MHz	+0.000%

PLL 设定实例 3

MCKI 频率	采样频率	M	N	PLL 生成频率	误差
12.0MHz	48kHz, 24kHz, 12kHz	250	256	12.288MHz	0%
	44.1kHz, 22.05kHz, 11.025kHz	321	302	11.289720MHz	+0.001%
	32kHz, 16kHz, 8kHz	250	256	12.288MHz	0%

如上表所示, PLL 对应不同的 MCKI 频率在生成工作频率的过程中会产生误。然而, 频率误差值非常小不会对音频产生影响。

另外, MCKI 输入时钟以及由 PLL 的 CH1 和 CH2 内部生成的时钟信号可以进行分频, 分频比有 1/1, 1/2, 1/3, 1/4, 1/6, 1/8, 1/12 或 1/16, 并最后由 MCKO 管脚输出。

11.16 数字麦克风接口 / GPIO 功能接口

DMICCK_P0 及 DMICDT_P1 管脚是拥有数字麦克风的接口功能以及 GPIO 功能的多功能管脚。

以下为管脚名字的说明

- 数字麦克风的接口功能 → DMICCK, DMICDT
- GPIO 功能 → P0, P1
- 两种功能都有 → DMICCK_P0 以及 DMICDT_P1

- 支持数字麦克风(立体声)
- 集成 PDM 接口
- 电平：调制效率 100% → DOUT Output=3.17dBm0(=0dBFS)

在下一页的数字麦克风接口结构框图中，包含了音频记录系统的每个抽取滤波器的输入路径。音频记录系统的每个抽取滤波器的输入路径 Lch/Rch 可以在择 $\Delta\Sigma$ ADC Lch/Rch 以及数字麦克风的 Lch/Rch 4 个中选择。

这些源的组合使以下方式成为可能

- 例：
- 根据串行接口的输出数据选择 Lch 及 Rch 输出
 - 将 Lch 串行数据经由 $\Delta\Sigma$ ADC Rch 输出； 将 Rch 数据经由数字麦克风 Rch 输出

关于数字麦克风的时钟频率

DMICCLK 的频率由以下决定：

1. 抽取滤波器的输入源选择， $\Delta\Sigma$ ADC 还是数字麦克风
2. 音频编解码器的采样频率

所以没有设置 DMICCK 频率的寄存器

DMIC ⇒AudioADC 设置: $f_{DMICCK} = f_s * 64$ 或者 $f_{DMICCK} = f_s * 128$ (DMICCK 频率)

fs = 48kHz :	fs*64 = 3.072 MHz
fs = 44.1kHz :	fs*64 = 2.8224 MHz
fs = 32kHz :	fs*64 = 2.048 MHz
fs = 24kHz :	fs*64 = 1.536 MHz
fs = 22.05kHz :	fs*64 = 1.4112 MHz
fs = 16kHz :	fs*64 = 1.024 MHz
fs = 12kHz :	fs*128 = 1.536 MHz
fs = 11.025kHz :	fs*128 = 1.4112 MHz
fs = 8kHz :	fs*128 = 1.024 MHz

音频 Lch 及 Audio Rch 的抽取滤波器的输入源选择由 ADCSEL 寄存器控制。(参照下表)

抽取滤波器的输入源选择

AURDM[2:0], AULDM[2:0]	输入源
00x	置"低"
010	$\Delta\Sigma$ ADC Lch
011	$\Delta\Sigma$ ADC Rch
100	DMIC Lch
101	DMIC Rch
11x	置"低"

数字麦克风接口格式

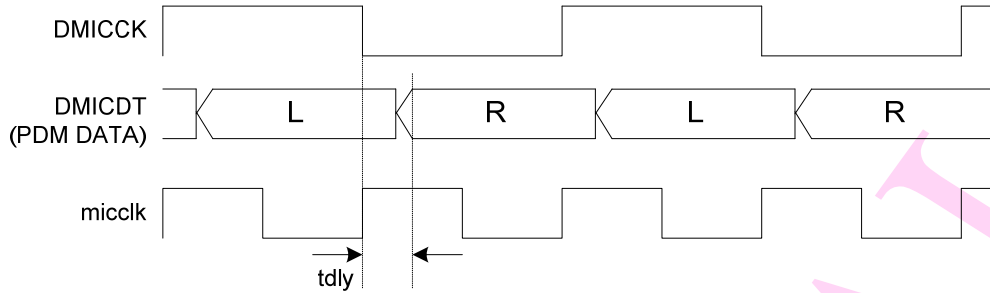


图.11-7 数字麦克风接口(PDM 接口) 格式

数字麦克风接口结构框图

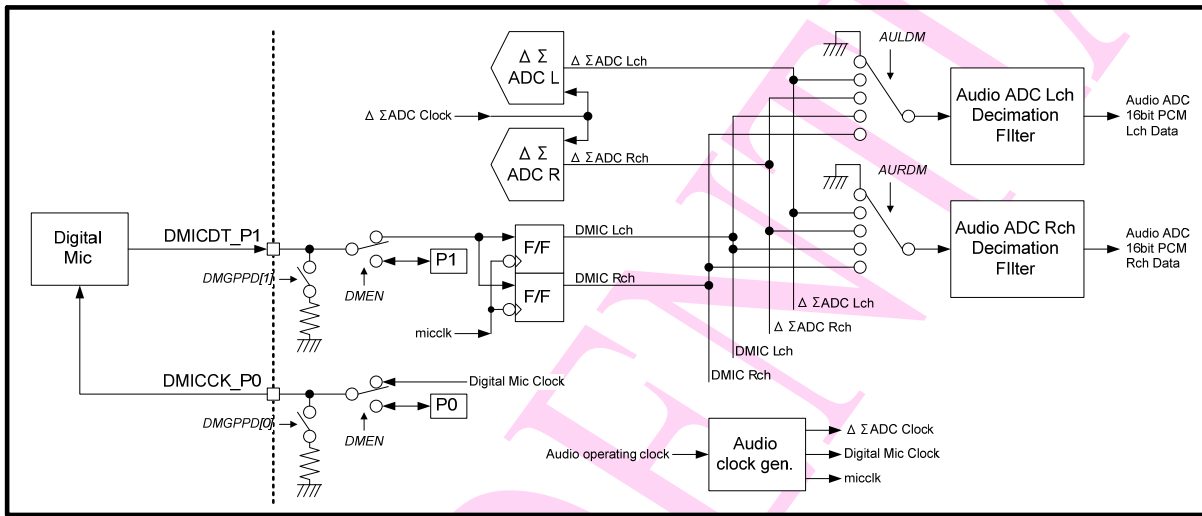


图.11-8 数字麦克风结构结构框图

11.17 REGMIC

REGMIC 由电源输入, 误差放大器以及驱动管组成。其开关由寄存器设置决定。此外此稳压器还内含放电 (Sink) MOS 管。

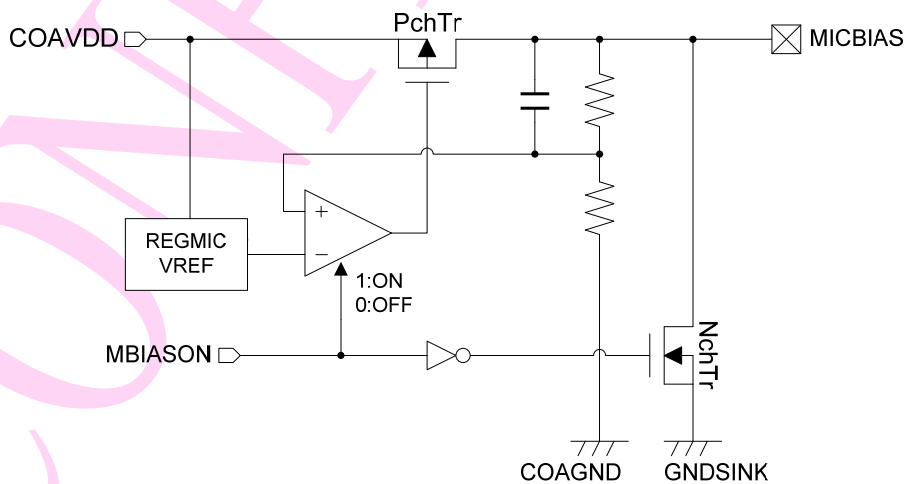


图.11-9 REGMIC 框图

11.18 Protect of the Speaker Amp

解码器含有单声道 Class-D 放大器。其电源输入来自 SPVDD 管脚。

作为保护机制，放大器含有过流保护功能。当检测到过流并持续 2ms 以上，放大器会根据 SPLIMCNT bit 的设置相应地开或者关，并通过设置 INTC 寄存器的 EN_SPLIM bit 由 INTB 管脚发出中断。这个中断信号可以通过设置 SPLIMCNT bit 选择电平检测或者边沿检测。另外在短路检测状态也可以通过设置 SPLIMCNT bit 来选择自动关闭或者关闭状态。在短路检测状态时 Class D 放大器可以通过设置 SPLIMCNT bit 和 SPON bit 来控制开关状况。

Class D 放大器正常情况下的开关情况

SPON bit	Class D amp
0	OFF
1	ON

Class D 放大器 在过流检测时的开关状况

SPLIMCNT bit	SPON bit	Class D 放大器状态	中断
0	0	关闭 或 自动关闭	上升沿
	1	开启	
1	0	关闭	电平
	1	开启	

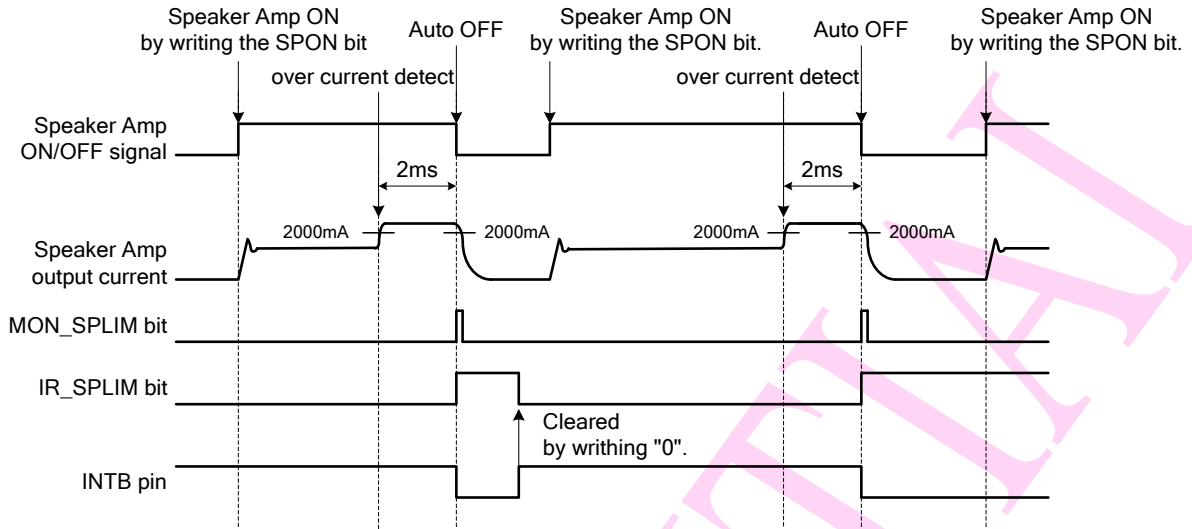


图.11-10 扬声器放大器过流保护检测和终端时序图 (SPLIMCNT='0', 边沿类型中断)

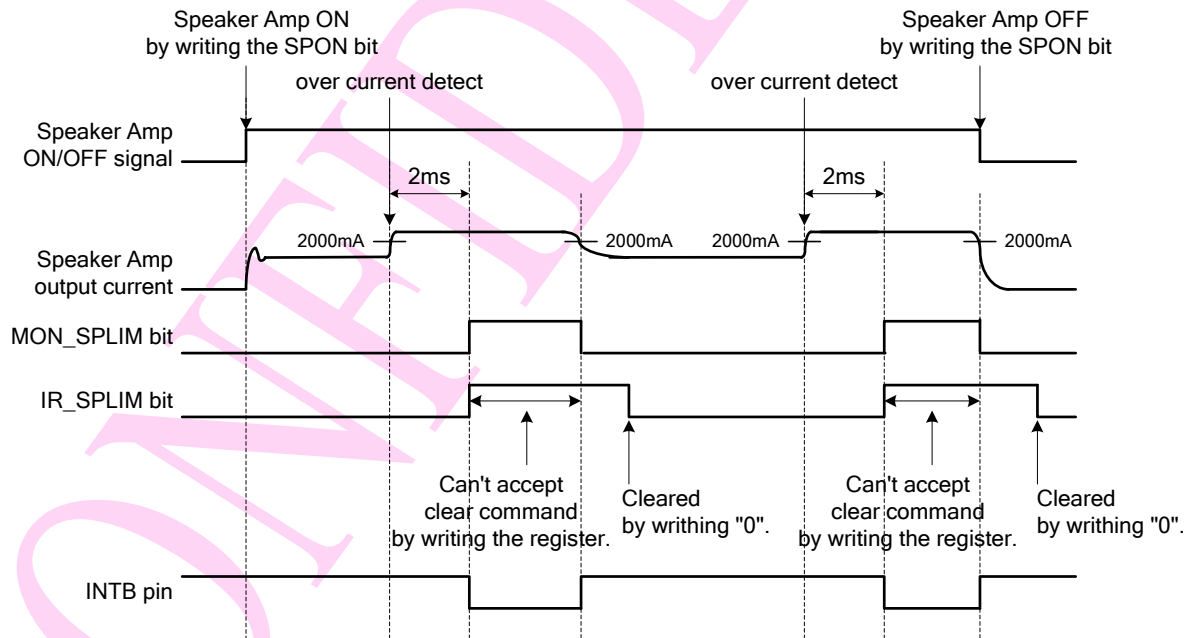


图.11-11 扬声器放大器过流保护检测和终端时序图(SPLIMCNT='1', 电平类型中断)

11.19 扬声器放大器的PCB 布线设计

为了提升扬声器放大器的性能，SPOP/SPON 和扬声器间的寄生电阻必须降到最小。SPOP/SPON 和扬声器间的电阻推荐小于等于 100mohm。

另外，从扬声器过来的 SPOP 以及 SPOPFB 连接应该尽可能的接近（SPON 和 SPONFB 也相同）。

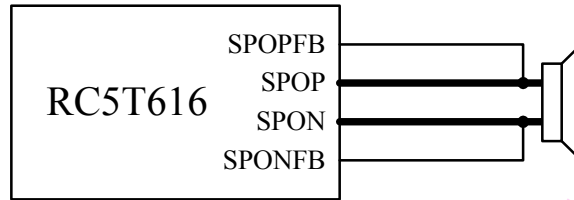


图.11-12 扬声器放大器及扬声器的连接

12. CPU 接口

RC5T616 使用 I2C-总线系统与 CPU 通讯。I2C 总线的通讯及传输操作在接下来的章节中详述。

12.1 I2C 总线操作

在 I2C 总线的流程中包含两个特殊的阶段，我们称为启动条件和结束条件。

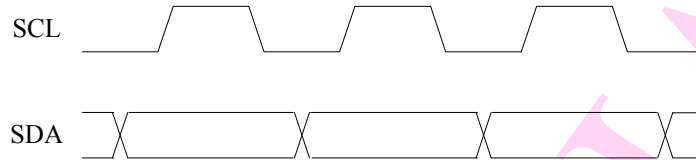


图.12-1 I2C 总线数据传输

当 SCL 线为“H”时，SDA 线从“H”到“L”的跳变即为启动条件。当 SCL 线为“H”时，SDA 线从“L”到“H”的跳变即为结束条件。启动条件和结束条件一般是由主机（master）生成（参考下图）。启动条件触发后，总线被认定处于繁忙状态。只有到结束条件触发后，总线才恢复空闲。

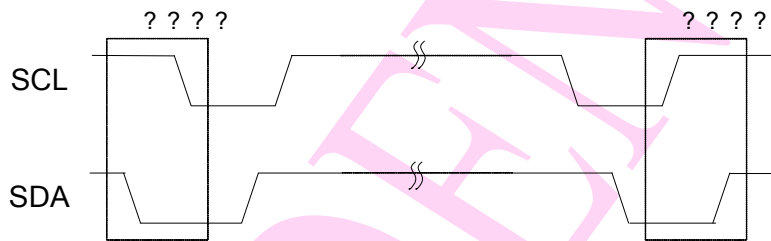


图.12-2 I2C 总线启动结束条件

12.2 I2C 总线数据传输及应答

在启动条件触发后，数据按 1 字节(8bits)的间隔传输。每一次传输的字节总数没有限制。在每个字节后还需要跟随一个应答 (acknowledge) 位。

应答位的传输是强制性的。与应答有关的时钟脉冲由主机生成。在应答时钟脉冲产生时发送机将释放 SDA 信号线。

接收机必须在应答时钟脉冲产生时拉低 SDA 信号线从而在应答时钟脉冲为“H”的阶段内保持 SDA 信号线为低。如果传输过程中有主接收机参与，并且其需要向从接收机数据末端发信号的话，它不能在作为从机时钟输出的最后一位生成应答。从发送机必须释放信号线以让主机生成结束条件。

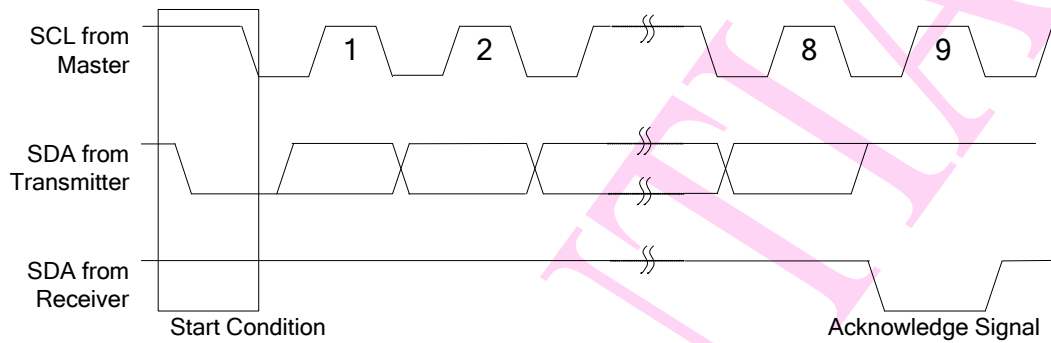


图.12-3 I2C 总线数据传输及其应答

12.3 I2C 总线从机地址

在启动条件触发后，一个从机地址会被发送。这个地址长 7 位，并在跟随一个数据方向位（读/写）表征第 8 位。RC5T616 的从地址设定为“0110010b”

	A7	A6	A5	A4	A3	A2	A1
Setting value	0	1	1	0	0	1	0

A7~A1: 从地址

表 12-1 RC5T616 的从地址

12.4 I2C 总线数据传输读操作

内部寄存器数据的读操作:

- 分配一个内部地址的指针 (8bit).
- 生成重复的启动条件来改变读操作的数据传输方向

一旦读操作开始, 地址指针会自动递增。读操作会不断重复直到触发结束条件。

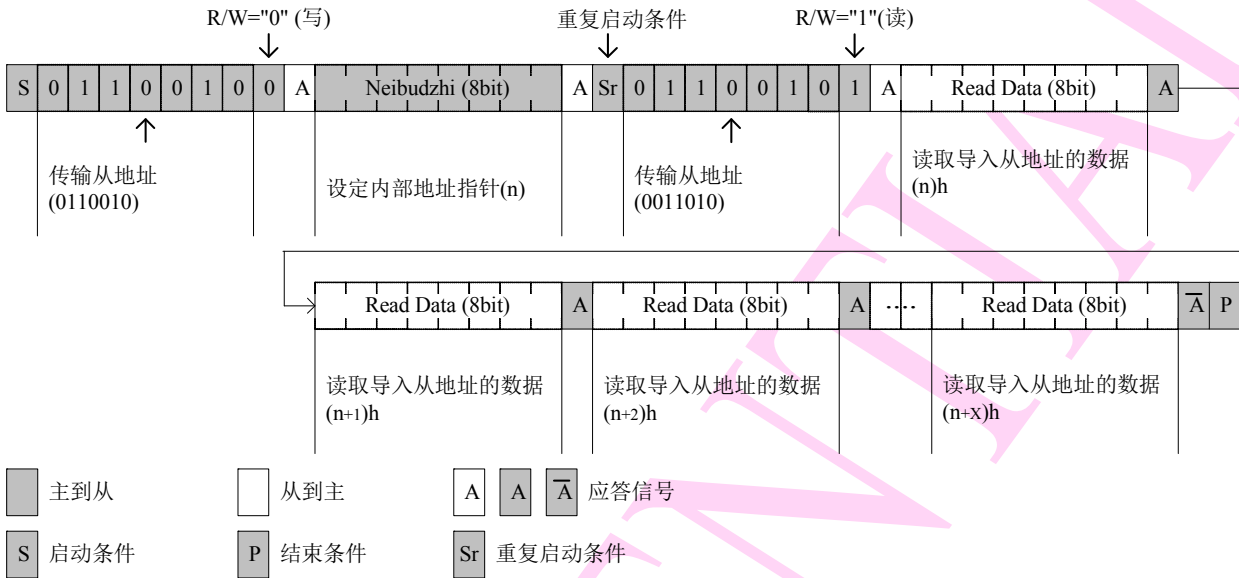


图.12-4 I2C 总线数据传输读操作格式

12.5 I2C 总线数据传输写操作

分配给每个 IC 的从地址传输格式由 I2C 总线标准规定。不过, 地址信息的传输方法没有规定。RC5T616 主要传输命令数据。对于数据传输, 请优先传输主的 MSB 数据, 之后再按序传输后面的数据。

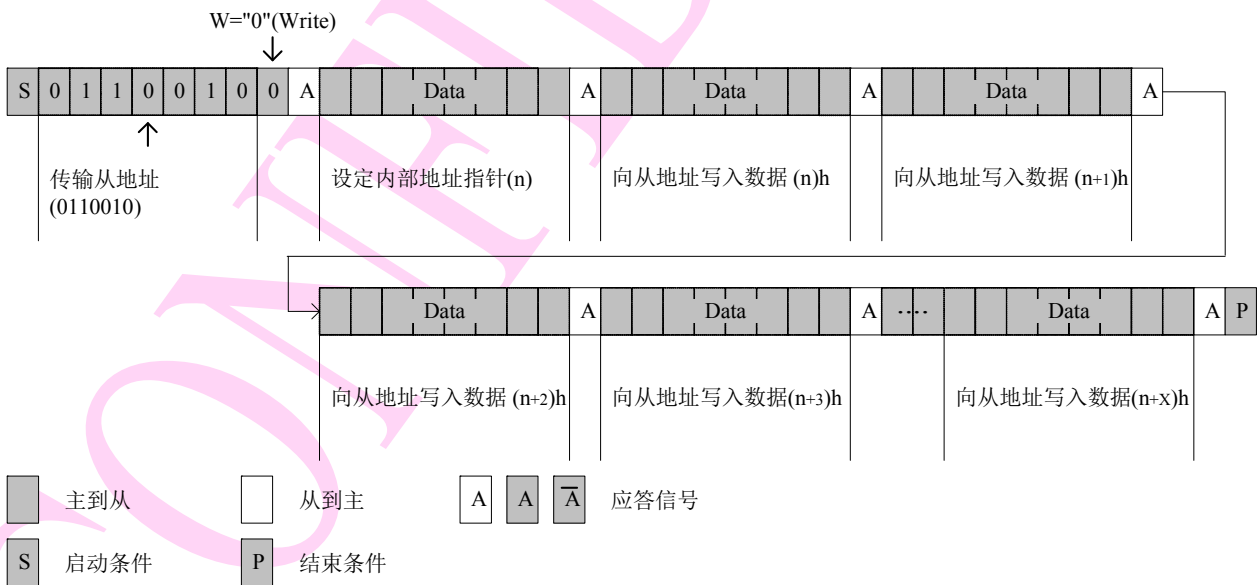


图.12-5 I2C 总线数据传输写操作格式

12.6 I2C 总线内部寄存器写入时序

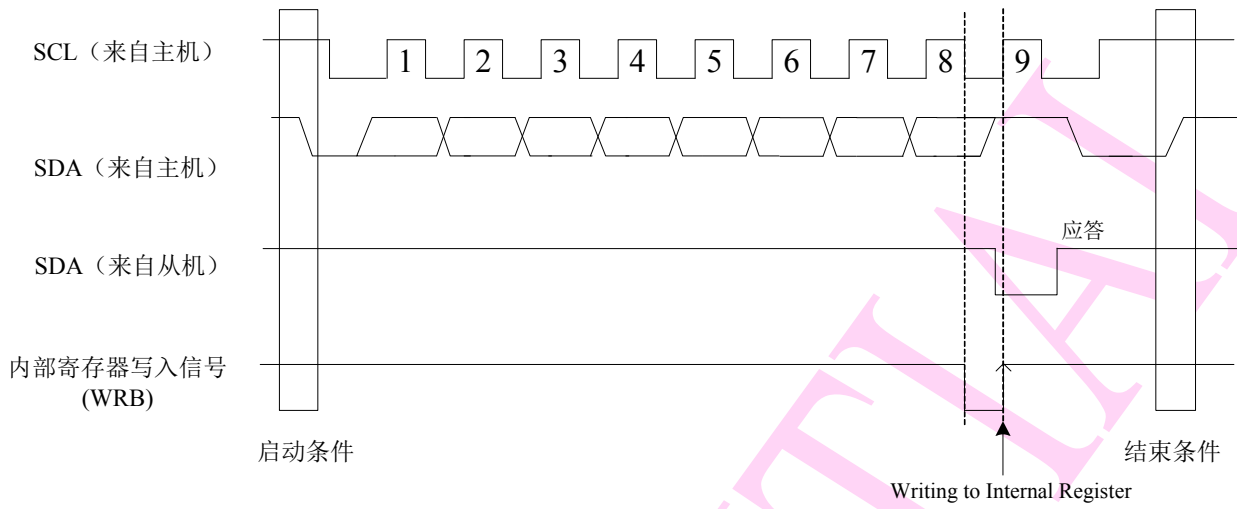


图.12-6 I2C 总线内部寄存器 写入时序

12.7 I2C 总线瞬态特性

工作条件 (非特殊条件不注明) VDDIO = 1.7~3.4V, $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
f_{SCL}	SCL 时钟频率	-			400	kHz
t_{BUF}	Bus Free Time Between a Precedent and Start	-	1.3		-	μs
t_{LOW}	SCL 时钟“L”电平持续时间	-	1.3		-	μs
t_{HIGH}	SCL 时钟“H”电平持续时间	-	0.6		-	μs
$t_{SU;STA}$	启动条件建立时间	-	0.6		-	μs
$t_{HD;STA}$	启动条件保持时间	-	0.6		-	μs
$t_{SU;STO}$	结束条件建立时间	-	0.6		-	μs
$t_{HD;DAT}$	数据保持时间 (Hold Time)	-	0		-	μs
$t_{SU;DAT}$	数据建立时间 (Setup Time)	-	100 (*1)		-	ns
t_R	SCL 和 SDA 上升时间(输入)	-			300	ns
t_F	SCL and SDA 下降时间 (输入)	-			300	ns

表 12-2 I2C 总线瞬态特性

注意*: 上述值对应于 V_{IH} 最低电平和 V_{IL} 最高电平。

注意*1: 标准模式兼容于 I2C 总线标准。对于标准模式, 其需要满足条件: $t_{SU;DAT} \geq 250ns$..

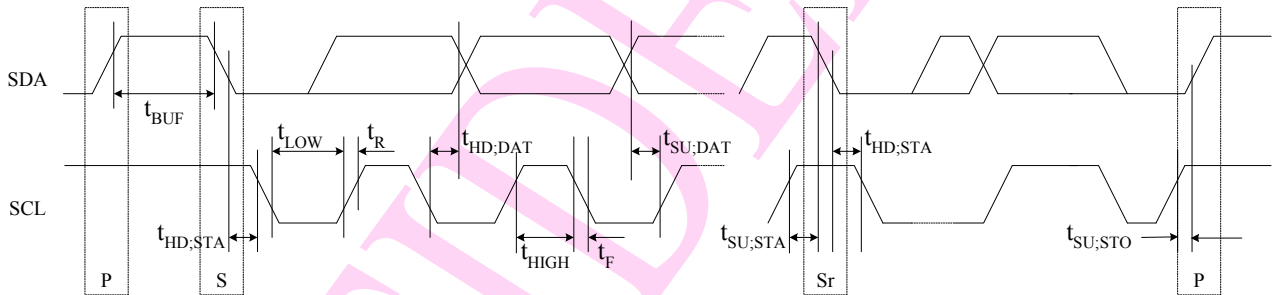


图.12-7 I2C 总线接口时序图

13. 寄存器

	Address	Register	R/W	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	Initial value
Power Control	0	Reserved	---	---	---	---	---	---	---	---	---	-----
	1	PCST	R	---	---	---	---	---	---	---	PWRONMON	0000 000-
DET	2	VDCTRL	R/W	---	VD2SEL[2:0]			---	---	VD1SEL[1:0]		0**1 0010
LDO	3	LDOON	R/W	---	LDO7ON	---	LDO5ON	LDO4ON	LDO3ON	LDO2ON	---	0*01 1110
	4	LDO1DAC	R/W	---	---	---	---	---	LDO1DAC[2:0]		---	0000 0**1
	5	LDO2DAC	R/W	---	---	---	---	---	LDO2DAC[2:0]		---	0000 0***
	6	LDO3DAC	R/W	---	---	---	---	---	LDO3DAC[2:0]		---	0000 00**
	7	LDO4DAC	R/W	---	---	---	---	---	LDO4DAC[2:0]		---	0000 00**
	8	LDO5DAC	R/W	---	---	---	---	---	LDO5DAC[2:0]		---	0000 0***
	9	LDO6DAC	R/W	---	---	---	---	---	LDO6DAC[2:0]		---	0000 0***
	0A	LDO7DAC	R/W	---	---	---	---	---	LDO7DAC[2:0]		---	0000 0**1
	0B	Reserved	---	---	---	---	---	---	---	---	---	-----
	Boost DCDC LED DRV	0C	CDRCR1	R/W	---	---	---	---	---	---	BDVON	CDRON
0D		CDRCR2	R/W	CDRVD7ON	CDRVD6ON	CDRVD5ON	CDRVD4ON	CDRVD3ON	CDRVD2ON	CDRVD1ON	CDRVD0ON	0000 0000
0E		CDRCR3	R/W	---	---	---	---	CDRVD11ON	CDRVD10ON	CDRVD9ON	CDRVD8ON	0000 0000
0F		NDACST	R/W	---	---	---	---	---	CDRDAC[3:0]		---	0000 0000
DCDC	10	DDCTL1	R/W	---	---	---	---	DD4ON	DD3ON	DD2ON	DD1ON	0000 0111
	11	DDCTL2	R/W	---	---	---	---	---	---	DD2DIS	DD1DIS	0000 0011
	12	DDCTL3	R/W	---	---	---	---	DD4ENCTL	DD3ENCTL	DD2ENCTL	DD1ENCTL	0000 0000
	13	Reserved	---	---	---	---	---	---	---	---	---	-----
	14	RAMP1CTL	R/W	---	---	RAMP1SLOP[1:0]		DD1MODE[1:0]		---	---	0001 1000
	15	RAMP2CTL	R/W	---	---	RAMP2SLOP[1:0]		DD2MODE[1:0]		---	---	0001 1000
	16	Reserved	---	---	---	---	---	---	---	---	---	-----
	17	Reserved	---	---	---	---	---	---	---	---	---	-----
	18	DD1DAC0	R/W	---	---	---	---	DD1DAC0[6:0]			---	000* *000
	19	DD1DAC1	R/W	---	---	---	---	DD1DAC1[6:0]			---	0001 1000
	1A	DD1DAC2	R/W	---	---	---	---	DD1DAC2[6:0]			---	0010 0000
	1B	DD1DAC3	R/W	---	---	---	---	DD1DAC3[6:0]			---	0010 1000
	1C	DD2DAC0	R/W	---	---	---	---	DD2DAC0[6:0]			---	000* *000
	1D	DD2DAC1	R/W	---	---	---	---	DD2DAC1[6:0]			---	0001 1000
1E	DD2DAC2	R/W	---	---	---	---	DD2DAC2[6:0]			---	0010 0000	
1F	DD2DAC3	R/W	---	---	---	---	DD2DAC3[6:0]			---	0010 1000	
CHARGER	20	CHGSTART	R/W	---	---	---	---	---	---	---	CHGSTART	0000 0001
	21	FET1CNT	R/W	---	---	---	---	---	ILIM[3:0]		---	0000 ***1
	22	FET2CNT	R/W	---	CVSET[1:0]		---	ICHGSET[3:0]			---	0000 0100
	23	TSET	R/W	---	---	TEMPSET[1:0]		RTIMSET[1:0]		---	---	0010 0000
	24	CMPSET	R/W	---	---	---	---	CMPSET[2:0]			---	0000 0000
	25	SUSPEND	R/W	---	---	---	CRCC2	---	---	---	SUSPENDB	0000 0001
	26	CHGSTATE	R	---	---	---	---	RDSTATE[3:0]			---	0000 0000
27	Reserved	---	---	---	---	---	---	---	---	---	-----	
INTC	28	INTEN1	R/W	EN_VBOV	EN_VCOV	EN_NOBATT	EN_BDCLIM	EN_SPLIM	EN_VBTERR	EN_DIEOT	EN_ADPDET	0000 0001
	29	INTIR1	R/W	IR_VBOV	IR_VCOV	IR_NOBATT	IR_BDCLIM	IR_SPLIM	IR_VBTERR	IR_DIEOT	IR_ADPDET	0000 0000
	2A	INTMONI	R	MON_VBOV	MON_VCOV	MON_NOBATT	MON_BDCLIM	MON_SPLIM	MON_VBTERR	MON_DIEOT	MON_ADPDET	-----
	2B	Reserved	---	---	---	---	---	---	---	---	---	-----
	2C	INTEN2	R/W	---	---	---	EN_TIMEOUT	EN_CHGCMP	EN_STRC	---	EN_STCR	0000 0000
	2D	INTIR2	R/W	---	---	---	IR_TIMEOUT	IR_CHGCMP	IR_STRC	---	IR_STCR	0000 0000
	2E	Reserved	---	---	---	---	---	---	---	---	---	-----
	2F	Reserved	---	---	---	---	---	---	---	---	---	-----

	Address	Register	R/W	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	Initial value	
CODEC	30	Reserved	---	---	---	---	---	---	---	---	---	-----	
	31	Reserved	---	---	---	---	---	---	---	---	---	-----	
	32	Reserved	---	---	---	---	---	---	---	---	---	-----	
	33	Reserved	---	---	---	---	---	---	---	---	---	-----	
CODEC PLL	34	ADIVMH	R/W	---	---	---	---	---	ADIVM[10:8]			0000 0000	
	35	ADIVML	R/W	ADIVM[7:0]									0000 0000
	36	ADIVNH	R/W	---	---	---	---	---	ADIVN[10:8]			0000 0000	
	37	ADIVNL	R/W	ADIVN[7:0]									0000 0000
	38	APLLCNT	R/W	CKOSEL[1:0]			DIVO[2:0]		APLLSEL[1:0]		APLLON		0000 0000
	39	APLL2CNT	R/W	---	---	---	---	---	APLL2SEL[1:0]		APLL2ON		0000 0000
	3A	A2DIVMH	R/W	---	---	---	---	---	A2DIVM[10:8]			0000 0000	
	3B	A2DIVML	R/W	A2DIVM[7:0]									0000 0000
	3C	A2DIVNH	R/W	---	---	---	---	---	A2DIVN[10:8]			0000 0000	
3D	A2DIVNL	R/W	A2DIVN[7:0]									0000 0000	
CODEC GPIO	3E	DMCNT	R/W	DMIOEN	DMEN	DMGPPD[1:0]		DMGPPDIR[1:0]		DMGPDAT[1:0]		0011 0000	
	3F	DMDG	R/W	---	DMRDG[2:0]			---	DMLDG[2:0]			0000 0000	
CODEC CH1	40	AIFCNT1	R/W	MSSEL	---	---	IFMODE		FSET[3:0]			1000 0000	
	41	AIFCNT2	R/W	IFEN	DOZ	BCKINV	LRCKINV	PDDO	PDDI	PDBCK	PDLRCK	0000 1111	
	42	ADCCNT	R/W	---	---	---	---	ADMUTE	ADON	ADRON	ADLON	0000 0000	
	43	ADCSSEL	R/W	---	AURDM[2:0]			---	AULDM[2:0]			0000 0000	
	44	ADCLDG	R/W	ADLDG2[1:0]			ADLDG1[5:0]					1111 1111	
	45	ADCRDG	R/W	ADRDG2[1:0]			ADRDG1[5:0]					1111 1111	
	46	DACCNT	R/W	---	---	---	---	DAMUTE	DAON	DARON	DALON	0000 0000	
	47	DACSEL	R/W	---	---	DARSW[1:0]		---	---	DALSW[1:0]		0010 0001	
	48	DACL DG	R/W	DALDG2[1:0]			DALDG1[5:0]					1111 1111	
	49	DACRDG	R/W	DARDG2[1:0]			DARDG1[5:0]					1111 1111	
CODEC CH2	4A	AIF2CNT1	R/W	MSSEL2	---	---	IFMODE2		FSET2[3:0]			1000 0000	
	4B	AIF2CNT2	R/W	IF2EN	---	BCK2INV	LRCK2INV	---	PDDI2	PDBCK2	PDLRCK2	0000 0111	
	4C	DAC2CNT	R/W	---	---	---	---	DA2MUTE	DA2ON	DA2RON	DA2LON	0000 0000	
	4D	DAC2SEL	R/W	---	---	DA2RSW[1:0]		---	---	DA2LSW[1:0]		0010 0001	
	4E	DAC2LDG	R/W	DA2LDG2[1:0]			DA2LDG1[5:0]					1111 1111	
	4F	DAC2RDG	R/W	DA2RDG2[1:0]			DA2RDG1[5:0]					1111 1111	
CODEC Analog	50	COAPWR	R/W	COREGON	COR ECO	HPREGON	HPR ECO	MBIASON	---	---	REFON	0000 0000	
	51	AIPON	R/W	---	---	APTRON	APTLON	TXRON	TXLON	BSTRON	BSTLON	0000 0000	
	52	AIPCNT	R/W	---	---	AINRSW[1:0]		---	---	AINLSW[1:0]		0000 0000	
	53	BSTAG	R/W	---	BSTRAG[2:0]			---	BSTLAG[2:0]			0000 0000	
	54	TXLAG	R/W	---	---	---	---	TXLAG[4:0]				0000 1111	
	55	TXRAG	R/W	---	---	---	---	TXRAG[4:0]				0000 1111	
	56	APTAG	R/W	---	APTRAG[2:0]			---	APTLAG[2:0]			0111 0111	
	57	AOPON	R/W	MIXRON	MIXLON	SPON	SPPON	LORON	LOLON	HPRON	HPLON	0000 0000	
	58	AOPMUTE	R/W	---	---	SPMUTE	SPPMUTE	---	LOMUTE	---	HPMUTE	0011 0101	
	59	AOPCNT	R/W	---	---	SPLMCNT	---	---	---	POPT[1:0]		0000 0011	
	5A	MIXSW	R/W	---	MIXRSW[2:0]			---	MIXLSW[2:0]			0000 0000	
	5B	SPPSW	R/W	---	---	---	---	SPPSW[5:0]				0000 0000	
	5C	HPAG	R/W	---	---	---	---	HPAG[4:0]				0001 1100	
	5D	LOAG	R/W	---	---	---	---	LOAG[4:0]				0001 1111	
	5E	SPPAG	R/W	---	---	---	---	SPPAG[4:0]				0001 1111	
5F	Reserved	---	---	---	---	---	---	---	---	---	-----		

Note*: Do not set "1" to reserved bits. Do not write "1" or "0" to undefined registers.

Note*1: Reset condition of register:

- INTIR1-2 registers (29h, 2Dh) are reset by UVLO or TSHUT.
- When VCHG power supply is turned off;
CHARGER's registers (20h-26h) and INTIR1-2 registers (29h, 2Dh) except IR_ADPDET, IR_BDCLIM, and IR_SPLIM bit are cleared.
- Other registers are reset by RESETO="L".

Also, when DC/DC1(2) turns off, DD1(2)MODE[1:0] bits and DD1(2)DAC*[6:0] bits are reset.

** selected by trimming .

13.1 电源控制

13.1.1 PCST: 电源控制寄存器 (地址 01h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	-	-	PWRON MON
R/W	R	R	R	R	R	R	R	R
默认值	0	0	0	0	0	0	0	-

Bit 0: PWRON 管脚输入检测位

“0”: PWRON=”L”

“1”: PWRON=”H”

13.1.2 VDCTRL: 检出电路控制寄存器 (地址 02h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	VD2SEL[2:0]			-	-	VD1SEL[1:0]	
R/W	R	R/W	R/W	R/W	R	R	R/W	R/W
默认值	0	1	1	1	0	0	1	0

Bit 6 ~ Bit 4: VD2SEL [2:0] bit

VD2 上升检出电压设置

RESDET(VD2)上升检出电压表

VD2SEL [2:0]	检出电压 [V]
000 (0h)	禁止
001 (1h)	1.53
010 (2h)	2.13
011 (3h)	2.21
100 (4h)	2.38
101 (5h)	2.42
110 (6h)	2.55
111 (7h)	2.81 (默认)

注意*: VD2 Hysteresis 为 100mV.
解除电压根据检出电压变化

Bit 1 ~ Bit 0: VD1SEL[1:0] bit

VD1 上升检出电压

BATDET(VD1) 上升检出电压表

VD1SEL [1:0]	检出电压 [V]
00 (0h)	3.1
01 (1h)	3.2
10 (2h)	3.3 (默认)
11 (3h)	3.5

注意*: VD2 Hysteresis 为 200mV.
解除电压根据检出电压变化

13.2 电源输出

13.2.1 LDOON: LDO 输出使能控制寄存器 (地址 03h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	LDO7ON	-	LDO5ON	LDO4ON	LDO3ON	LDO2ON	-
R/W	R	R/W	R	R/W	R/W	R/W	R/W	R
默认值	0	1	0	1	1	1	1	0

Bit 7-1: LDO_nON bit (n= 2, 3, 4, 5, 7)

LDO_n on/off 控制 bit

“0”: off

“1”: on

注意*: 初始值通过 Trimming 可调(LDO7ON)

13.2.2 LDO1DAC: LDO1 输出电压控制寄存器 (地址 04h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	LDO1DAC [2:0]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	1	1	1

Bit 2 ~ Bit 0: LDO1DAC [2:0] bit
LDO1 输出电压设置

LDO1 输出电压表

LDO1DAC [2:0]	输出电压[V]
000 (00h)	禁止
001 (01h)	1.80
010 (02h)	2.50
011 (03h)	2.60
100 (04h)	2.80
101 (05h)	2.85
110 (06h)	3.00
111 (07h)	3.30 (默认)

注意*: 初始值通过 trimming 可调 (1.8V 或 3.3V)

13.2.3 LDO2DAC: LDO2 输出电压控制寄存器 (地址 05h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	LDO2DAC [2:0]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	1	0	0

Bit 2 ~ Bit 0: LDO2DAC [2:0] bit
LDO2 输出电压设置

LDO2 输出电压表

LDO2DAC [2:0]	输出电压 [V]
000 (00h)	2.90 (禁止)
001 (01h)	3.00 (禁止)
010 (02h)	3.10 (禁止)
011 (03h)	3.20 (禁止)
100 (04h)	3.30 (默认)
101 (05h)	禁止
110 (06h)	禁止
111 (07h)	禁止

注意*: 初始值通过 trimming 可调(3.1V 或 3.2V 或 3.3V)

13.2.4 LDO3DAC: LDO3 输出电压控制寄存器 (地址 06h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	LDO3DAC [2:0]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	1	0

Bit 2 ~ Bit 0: LDO3DAC [2:0] bit
LDO3 输出电压设置

LDO3 输出电压表

LDO3DAC [2:0]	输出电压 [V]
000 (00h)	0.90 (禁止)
001 (01h)	1.00 (禁止)
010 (02h)	1.10 (默认)
011 (03h)	1.20 (禁止)
100 (04h)	1.30 (禁止)
101 (05h)	禁止
110 (06h)	禁止
111 (07h)	禁止

注意*: 初始值通过 trimming 可调 (1.0V 或 1.1V 或 1.2V)

13.2.5 LDO4DAC: LDO4 输出电压控制寄存器 (地址 07h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	LDO4DAC [2:0]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	1	0

Bit 2 ~ Bit 0: LDO4DAC [2:0] bit
LDO4 输出电压设置

LDO4 输出电压表

LDO4DAC [2:0]	输出电压 [V]
000 (00h)	0.90 (禁止)
001 (01h)	1.00 (禁止)
010 (02h)	1.10 (默认)
011 (03h)	1.20 (禁止)
100 (04h)	1.30 (禁止)
101 (05h)	禁止
110 (06h)	禁止
111 (07h)	禁止

注意*: 初始值通过 trimming 可调 (1.0V 或 1.1V 或 1.2V)

13.2.6 LDO5DAC: LDO5 输出电压控制寄存器 (地址 08h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	LDO5DAC [2:0]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	1

Bit 2 ~ Bit 0: LDO5DAC [2:0] bit
LDO5 输出电压设置

LDO5 输出电压表

LDO5DAC [2:0]	输出电压 [V]
000 (00h)	1.20
001 (01h)	1.80(默认)
010 (02h)	2.50
011 (03h)	2.60
100 (04h)	2.80
101 (05h)	2.85
110 (06h)	3.00
111 (07h)	3.30

注意*: 初始值通过 trimming 可调 (1.2V or 1.8V or 3.3V)

13.2.7 LDO6DAC: LDO6 输出电压控制寄存器 (地址 09h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	LDO6DAC [2:0]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	1	0

Bit 2 ~ Bit 0: LDO6DAC [2:0] bit
LDO6 输出电压设置

LDO6 输出电压表

LDO6DAC [2:0]	输出电压 [V]
000 (00h)	禁止
001 (01h)	禁止
010 (02h)	2.50 (默认)
011 (03h)	3.00
100 (04h)	3.30
101 (05h)	禁止
110 (06h)	禁止
111 (07h)	禁止

注意*: 初始值通过 trimming 可调(2.5V 或 3.0V 或 3.3V)

13.2.8 LDO7DAC: LDO7 输出电压控制寄存器 (地址 0Ah)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	LDO7DAC [2:0]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	1

Bit 2 ~ Bit 0: LDO7DAC [2:0] bit
LDO7 输出电压设置

LDO7 输出电压表

LDO7DAC [2:0]	输出电压 [V]
000 (00h)	禁止
001 (01h)	1.80 (默认)
010 (02h)	2.50
011 (03h)	2.60
100 (04h)	2.80
101 (05h)	2.85
110 (06h)	3.00
111 (07h)	3.30

注意*: 初始值通过 trimming 可调 (1.8V 或 3.3V)

13.2.9 DDCTL1: DC/DC 控制寄存器1 (地址 10h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	DD4ON	DD3ON	DD2ON	DD1ON
R/W	R	R	R	R	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	1	1	1

Bit 3-0: DDnON bit (n=1, 2, 3, 4)

DC/DCn 开/关 bit

“0”: 关

“1”: 开

13.2.10 DDCTL2: DC/DC 控制寄存器2 (地址 11h)

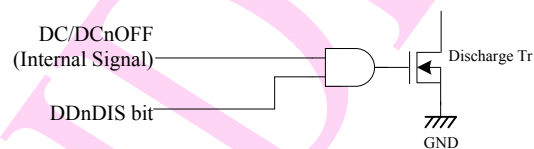
Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	-	DD2DIS	DD1DIS
R/W	R	R	R	R	R	R	R/W	R/W
默认值	0	0	0	0	0	0	1	1

Bit 3-0: DDnDIS bit (n=1, 2)

DC/DCn 放电控制 bit

“0”: 关

“1”: 开 (当 DC/DCn 开启工作时此位无效)

**13.2.11 DDCTL3: DC/DC 控制寄存器3 (地址 12h)**

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	DD4ENCTL	DD3ENCTL	DD2ENCTL	DD1ENCTL
R/W	R	R	R	R	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

Bit 3-0: DDnENCTL bit (n=1, 2, 3, 4)

DC/DCn 控制选择 bit

“0”: DDnEN 管脚有效

“1”: DDnON 位有效

13.2.12 RAMP1CTL: DC/DC1 输出电压调整的RAMP 模式操作控制寄存器 (地址 14h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	RAMP1SLOP [1:0]		DD1MODE [1:0]		-	-
R/W	R	R	R/W	R/W	R	R/W	R	R
默认值	0	0	0	1	1	0	0	0

Bit 5-4: RAMP1SLOP [1:0] bit

DC/DC1 RAMP 上升/下降 斜率设定位

RAMP1SLOP[1:0]	电压斜率
00	15 mV / μ s
01	30 mV /μs (默认)
10	60 mV / μ s
11	禁止

Bit 3-2: DD1MODE bit

DC/DC1 AUTO(PWM/PFM) / PWM / PSM 模式设定位

DD1MODE [1:0]	工作模式
00	PSM
01	PWM
10	AUTO (默认)
11	AUTO

当 DC/DC1 关闭或切换到 AUTO 模式时，DD1MODE 位会被重置。

13.2.13 RAMP2CTL: DC/DC2 输出电压调整的RAMP 模式操作控制寄存器 (地址 15h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	RAMP2SLOP [1:0]		DD2MODE [1:0]		-	-
R/W	R	R	R/W	R/W	R	R/W	R	R
默认值	0	0	0	1	1	0	0	0

Bit 5-4: RAMP2SLOP [1:0] bit

DC/DC2 RAMP 上升/下降 斜率设定位

RAMP2SLOP[1:0]	Voltage Slope
00	15 mV / μ s
01	30 mV /μs (默认)
10	60 mV / μ s
11	禁止

Bit 3-2: DD2MODE bit

DC/DC2 AUTO(PWM/PFM)/PWM / PSM 模式设定位

DD2MODE [1:0]	工作模式
00	PSM
01	PWM
10	AUTO (默认)
11	AUTO

当 DC/DC2 关闭或切换到 AUTO 模式时，DD2MODE 位会被重置。

13.2.14 DD1DAC: DC/DC1 输出电压控制寄存器

DD1DAC0 (18h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	DD1DAC0 [6:0]						
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	1	0	0	0	0

DD1DAC1 (19h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	DD1DAC1 [6:0]						
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	1	1	0	0	0

DD1DAC2 (1Ah)

Bit 位	7	6	5	4	3	2	1	0
名称	-	DD1DAC2 [6:0]						
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	1	0	0	0	0	0

DD1DAC3 (1Bh)

Bit 位	7	6	5	4	3	2	1	0
名称	-	DD1DAC3 [6:0]						
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	1	0	1	0	0	0

DC/DC1 输出电压表 (步长=12.5mV)

DD1DACn [6:0]	输出电压 [V]	备注
000000 (00h)	0.9000	
000001 (01h)	0.9125	
000010 (02h)	0.9250	
~	~	
000100 (08h)	1.00	
~	~	
001000 (10h)	1.10	DD1DAC0 默认值
~	~	
001100 (18h)	1.20	DD1DAC1 默认值
~	~	
010000 (20h)	1.30	DD1DAC2 默认值
~	~	
010100 (28h)	1.40	DD1DAC3 默认值
~	~	
010110 (2Eh)	1.4750	
010111 (2Fh)	1.4875	
011000 (30h)	1.5000	
~	禁止	
111111 (7Fh)	禁止	

注意*: DD1DAC0 初始值可通过 trimming 调整 (0.9V 或 1.0V 或 1.1V 或 1.2V)

13.2.15 DD2DAC: DC/DC2 输出电压控制寄存器

DD2DAC0 (1Ch)

Bit 位	7	6	5	4	3	2	1	0
名称	-	DD2DAC0 [6:0]						
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	1	0	0	0	0

DD2DAC1 (1Dh)

Bit 位	7	6	5	4	3	2	1	0
名称	-	DD2DAC1 [6:0]						
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	1	1	0	0	0

DD2DAC2 (1Eh)

Bit 位	7	6	5	4	3	2	1	0
名称	-	DD2DAC2 [6:0]						
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	1	0	0	0	0	0

DD2DAC3 (1Fh)

Bit 位	7	6	5	4	3	2	1	0
名称	-	DD2DAC3 [6:0]						
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	1	0	1	0	0	0

DC/DC2 输出电压表 (步长=12.5mV)

DD2DACn [6:0]	输出电压 [V]	备注
000000 (00h)	0.9000	
000001 (01h)	0.9125	
000010 (02h)	0.9250	
~	~	
000100 (08h)	1.00	
~	~	
001000 (10h)	1.10	DD2DAC0 默认值
~	~	
001100 (18h)	1.20	DD2DAC1 默认值
~	~	
010000 (20h)	1.30	DD2DAC2 默认值
~	~	
010100 (28h)	1.40	DD2DAC3 默认值
~	~	
010110 (2Eh)	1.4750	
010111 (2Fh)	1.4875	
011000 (30h)	1.5000	
~	禁止	
111111 (7Fh)	禁止	

注意*: DD2DAC0 初始值可通过 trimming 调整 (0.9V 或 1.0V 或 1.1V 或 1.2V)

13.3 升压DCDC 和 LED 驱动

13.3.1 CDRCR1: 恒流控制寄存器1 (地址 0Ch)

Bit 位	D7	D6	D5	D4	D3	D2	D1	D0
名称	—	—	—	—	—	—	BDVON	CDRON
R/W	R	R	R	R	R	R	R/W	R/W
默认值	0	0	0	0	0	0	0	0

Bit 1: BDVON bit

升压 DC/DCn 开/关 位

“0”: 关

“1”: 开

Bit 0: CDRON bit

LED 驱动模拟电路模块 开/关位

“0”: 关

“1”: 开

13.3.2 CDRCR2: 恒流控制寄存器2 (地址 0Dh)

Bit 位	D7	D6	D5	D4	D3	D2	D1	D0
名称	CDRVD7 ON	CDRVD6 ON	CDRVD5 ON	CDRVD4 ON	CDRVD3 ON	CDRVD2 ON	CDRVD1 ON	CDRVD0 0ON
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

Bit 7-0: CDRVDnON bit (n= 7~0)

CDRVDn 开/关 控制位

“0”: 关

“1”: 开

13.3.3 CDRCR3: 恒流控制寄存器3 (地址 0Eh)

Bit 位	D7	D6	D5	D4	D3	D2	D1	D0
名称	-	-	-	-	CDRVD11 ON	CDRVD10 ON	CDRVD9 ON	CDRVD8 ON
R/W	R	R	R	R	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

Bit 3-0: CDRVDnON bit (n= 11~8)

CDRVDn 开/关 控制位

“0”: 关

“1”: 开

13.3.4 NDACST: LED 电流的DAC 设定寄存器 (地址 0Fh)

Bit 位	D7	D6	D5	D4	D3	D2	D1	D0
名称	-	-	-	-	CDRDAC[3:0]			
R/W	R	R	R	R	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

Bit 3 ~ Bit 0: CDRDAC bit

CDRV D 输出电流设定

控制位				CDRV D 输出电流 [mA]
D3	D2	D1	D0	
0	0	0	0	0mA(默认)
0	0	0	1	1.67mA
0	0	1	0	3.33mA
0	0	1	1	5.00mA
0	1	0	0	6.67mA
0	1	0	1	8.33mA
0	1	1	0	10.00mA
0	1	1	1	11.67mA
1	0	0	0	13.33mA
1	0	0	1	15.00mA
1	0	1	0	16.67mA
1	0	1	1	18.33mA
1	1	0	0	20.00mA
1	1	0	1	禁止
1	1	1	0	禁止
1	1	1	1	禁止

13.4 锂电池充电器

13.4.1 CHGSTART: 充电启动设定寄存器 (地址 20h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	-	-	CHGSTART
R/W	R	R	R	R	R	R	R	R/W
默认值	0	0	0	0	0	0	0	1

Bit 0: CHGSTART bit

电池充电使能

“0”: 禁用充电功能

“1”: 开启充电功能 (默认)

13.4.2 FETICNT: SW1 限制电流设定寄存器 (地址 21h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	ILIM[3:0]			
R/W	R	R	R	R	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	1	1	1

Bit 3 ~ Bit 0: ILIM bit

SW1 限制电流选择

控制位				SW1 限制电流 [mA]
D3	D2	D1	D0	
0	0	0	0	100
0	0	0	1	200
0	0	1	0	300
0	0	1	1	400
0	1	0	0	500
0	1	0	1	600
0	1	1	0	700
0	1	1	1	800 (默认)
1	0	0	0	900
1	0	0	1	1000
1	0	1	0	1100
1	0	1	1	1200
1	1	0	0	1300
1	1	0	1	1400
其他				1500

注意*: 初始值可通过 trimming 调整 (800mA 或 1000mA)

13.4.3 FET2CNT: SW2 控制设定寄存器 (地址 22h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	CVSET[1:0]		-	ICHGSET[3:0]			
R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	1	0	0

Bit 6 ~ Bit 5: CVSET bit

电池充电选择

控制位		充电电压 [V]
D1	D0	
0	0	4.2 (默认)
0	1	4.12
1	0	4.07
1	1	4.07

Bit 3 ~ Bit 0: ICHGSET bit

快速充电电流选择

控制位				快速充电电流[mA]
D3	D2	D1	D0	
0	0	0	0	100
0	0	0	1	200
0	0	1	0	300
0	0	1	1	400
0	1	0	0	500 (默认)
0	1	0	1	600
0	1	1	0	700
0	1	1	1	800
1	0	0	0	900
1	0	0	1	1000
1	0	1	0	1100
其他				1200

13.4.4 TSET: 温度及充电计时器设定寄存器 (地址 23h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	TEMPSET[1:0]		RTIMSET[1:0]		-	-
R/W	R	R	R/W	R/W	R/W	R/W	R	R
默认值	0	0	1	0	0	0	0	0

Bit 5 ~ Bit 4: TEMPSET bit

芯片过温阈值选择

控制位		芯片温度 [度]	
D5	D4	检出	恢复
0	0	105	85
0	1	115	95
1	0	125 (默认值)	105
1	1	135	115

Bit 3 ~ Bit 2: RTIMSET bit

快速充电计时器设定

控制位		快速充电计时 [分钟]
D3	D2	
0	0	120 (默认)
0	1	180
1	0	240
1	1	300

13.4.5 CMPSET: 充电完成电流设置寄存器 (地址 24h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	CMPSET[2:0]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

Bit 2 ~ Bit 0: CMPSET bit

Charge Complete (充电完成)电流选择

Bit 位			充电完成电流[mA]
D2	D1	D0	
0	0	0	25 (默认)
0	0	1	50
0	1	0	75
0	1	1	100
1	0	0	125
1	0	1	150
1	1	0	175
1	1	1	200

13.4.6 SUSPEND: Charge Ready Current / Suspend 设置寄存器 (地址 25h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	CRCC2	-	-	-	SUSPENDB
R/W	R	R	R	R/W	R	R	R	R/W
默认值	0	0	0	0	0	0	0	1

Bit 4: CRCC2 bit

Charge Ready(充电预备)电流选择

“0”: 0mA (默认)

“1”: 10mA

在 Charge-Ready 状态下, 如果电源供给从适配器切换到电池, VSYS 管脚可能会由于 SW2 满载出现瞬态下冲 (under-shoot)。

通过设定 CRCC2 为 1 可以使得 SW2 即使在 Charge-Ready 状态也打开, 从而减小 under-shoot 。

Bit 0: SUSPENDB bit

Suspend 选择

“0”: Suspend 状态

“1”: 非 Suspend 状态 (默认)

(此位根据充电状态自动设定)

SUSPENDB bit 置 “1” 为自动过程且不能设为“0” 除非充电器为以下状态的一种 Charge-Off, Adapter-Over-Voltage, SUSPEND, Charge-Ready, Trickle-Charge, Rapid-Charge and Charge-Complete.

13.4.7 CHGSTATE: Current Charger State Register (地址 26h)

Bit	7	6	5	4	3	2	1	0
名称	-	-	-	-	RDSTATE[3:0]			
R/W	R	R	R	R	R	R	R	R
默认值	0	0	0	0	0	0	0	0

Bit 0 ~ Bit 3: RDSTATE bit

充电器当前状态 (只读)

Bit 位				充电器当前状态
D3	D2	D1	D0	
0	0	0	0	Charge-Off
0	0	0	1	Charge-Ready
0	0	1	0	-
0	0	1	1	-
0	1	0	0	Rapid-Charge
0	1	0	1	Charge-Complete
0	1	1	0	Battery-Error
0	1	1	1	Battery-Over-Voltage
1	0	0	0	Adapter-Over-Voltage
1	0	0	1	No-Battery
1	0	1	0	Battery-Temperature-Error
1	0	1	1	SUSPEND
其他				-

13.5 中断控制器

13.5.1 INTEN1: 充电中断请求输出使能寄存器 (地址 28h)

Bit 位	7	6	5	4	3	2	1	0
名称	EN_VBOV	EN_VCOV	EN_NOBATT	EN_BDCLIM	EN_SPLIM	EN_VBTERR	EN_DIEOT	EN_ADPEDET
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	1

Bit 7: EN_VBOV bit

电池过压中断使能 ($V_{VBAT} > 4.6V$)

“0”: 禁止

“1”: 开启

Bit 6: EN_VCOV bit

适配器过压中断使能 ($V_{VCHG} > 6.2V$)

“0”: 禁止

“1”: 开启

Bit 5: EN_NOBATT bit

电池未接中断使能

“0”: 禁止

“1”: 开启

Bit 4: EN_BDCLIM bit

升压 DCDC 过流中断使能

“0”: 禁止

“1”: 开启

Bit 3: EN_SPLIM bit

扬声器放大器过流中断使能

“0”: 禁止

“1”: 开启

Bit 2: EN_VBTERR bit

电池温度异常中断使能

“0”: 禁止

“1”: 开启

Bit 1: EN_DIEOT bit

芯片由于 SW1 和 SW2 导致的温度异常中断使能

“0”: 禁止

“1”: 开启

Bit 0: EN_ADPEDET bit

适配器插入/拔出中断使能

“0”: 禁止

“1”: 开启

13.5.2 INTIR1: 充电中断请求寄存器 (地址 29h)

Bit 位	7	6	5	4	3	2	1	0
名称	IR_VBOV	IR_VCOV	IR_NOBATT	IR_BDCLIM	IR_SPLIM	IR_VBTERR	IR_DIEOT	IR_ADPEDET
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

Bit 7: IR_VBOV bit

电池过压标识 (VVBAT > 4.6V)

“0”: 无

“1”: 有

Bit 6: IR_VCOV bit

适配器过压标识 (VVCHG > 6.2V)

“0”: 无

“1”: 有

Bit 5: IR_NOBATT bit

无电池检测标识

“0”: 无

“1”: 有

Bit 3: IR_BDCLIM bit

升压 DCDC 过流标识

“0”: 无

“1”: 有

Bit 3: IR_SPLIM bit

扬声器放大器过流标识

“0”: 无

“1”: 有

Bit 2: IR_VBTERR bit

电池温度异常标识

“0”: 无

“1”: 有

Bit 1: IR_DIEOT bit

因充电器 SW1 和 SW2 导致的芯片温度异常标识

“0”: 无

“1”: 有

Bit 0: IR_ADPEDET bit

适配器 插入&移除标识

“0”: 无

“1”: 有

注意*:

此寄存器所有 bit 位都可以通过写入“0”来清除, 但是无法写入“1”。

此寄存器所有 bit 位无法通过将 RESETO 置低来清除。

此寄存器所有 bit 位不会由于 UVLO 或 TSHUT 触发而清除。

另外, 当 VCHG 电压输入关断时此寄存器所有 bit 位会被清除(除了 IR_ADPEDET, IR_BDCLIM, and IR_SPLIM)。

13.5.3 INTMONI: 充电中断请求监控寄存器 (地址 2Ah)

Bit 位	7	6	5	4	3	2	1	0
名称	MON_VBOV	MON_VCOV	MON_NOBATT	MON_BDCLIM	MON_SPLIM	MON_VBTERR	MON_DIEOT	MON_ADPEDET
R/W	R	R	R	R	R	R	R	R
默认值	-	-	-	-	-	-	-	-

Bit 7: MON_VBOV bit

电池过压监测($V_{VBAT} > 4.6V$) (读当前值)

“0”: 电压正常

“1”: 过压

Bit 6: MON_VCOV bit

适配器过压监测($V_{VCHG} > 6.2V$) (读当前值)

“0”: 电压正常

“1”: 过压

Bit 5: MON_NOBATT bit

电压未接监测 (读当前值)

“0”: 电池已连

“1”: 电池未接

Bit 4: MON_BDCLIM bit

升压 DCDC 过流监测

“0”: 电流正常

“1”: 过流

Bit 3: MON_SPLIM bit

扬声器放大器过流监测

“0”: 电流正常

“1”: 过流

Bit 2: MON_VBTERR bit

电池温度异常监测 (读当前值)

“0”: 温度正常

“1”: 温度异常

Bit 1: MON_DIEOT bit

芯片由于 SW1 和 SW2 导致的温度异常监测 (读当前值)

“0”: 温度正常

“1”: 温度异常

Bit 0: MON_ADPEDET bit

适配器插入/拔出监测 (读当前值)

“0”: 适配器已连

“1”: 适配器未接

13.5.4 INTEN2: 充电中断请求使能寄存器 (地址 2Ch)

Bit	7	6	5	4	3	2	1	0
名称	-	-	-	EN_TIMEOUT	EN_CHGCMP	EN_STRC	-	EN_STCR
R/W	R	R	R	R/W	R/W	R/W	R	R/W
默认值	0	0	0	0	0	0	0	0

Bit 4: EN_TIMEOUT bit

计时器超时中断使能

“0”: 禁止

“1”: 开启

Bit 3: EN_CHGCMP bit

充电完成中断使能

“0”: 禁止

“1”: 开启

Bit 2: EN_STRC bit

切换到 Rapid-Charge 状态中断使能

“0”: 禁止

“1”: 开启

Bit 0: EN_STCR bit

切换到 Charge-Ready 状态中断使能

“0”: 禁止

“1”: 开启

13.5.5 INTIR2: 充电中断请求寄存器 (地址 2Dh)

Bit	7	6	5	4	3	2	1	0
名称	-	-	-	IR_TIMEOUT	IR_CHGCMP	IR_STRC	-	IR_STCR
R/W	R	R	R	R/W	R/W	R/W	R	R/W
默认值	0	0	0	0	0	0	0	0

Bit 4: IR_TIMEOUT bit

计时器超时中断请求

“0”: 无

“1”: 有

Bit 3: IR_CHGCMP bit

充电完成中断请求

“0”: 无

“1”: 有

Bit 2: IR_STRC bit

切换到 Rapid-Charge 状态中断请求

“0”: 无

“1”: 有

Bit 0: IR_STCR bit

切换到 Charge-Ready 状态中断请求

“0”: 无

“1”: 有

注意*:

此寄存器所有 bit 位都可以通过写入“0”来清除, 但是无法写入“1”。

此寄存器所有 bit 位无法通过将 RESET0 置低来清除。

此寄存器所有 bit 位不会由于 UVLO 或 TSHUT 触发而清除。

另外, 当 VCHG 电压输入关断时此寄存器所有 bit 位会被清除。

13.6 音频编解码器

13.6.1 ADIVM (H/L): 音频PLL 分频因子-M 设定寄存器 (地址 34h, 35h)

ADIVMH (34h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	ADIVM[10:8]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

ADIVML (35h)

Bit 位	7	6	5	4	3	2	1	0
名称	ADIVM[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

ADIVM [10:0]: 音频 PLL 分频因子-M 设定 (如下).

设置 MCKI 分频比.

MCKI 分频比: $M = \text{ADIVM}[10:0] + 1$

注意*: M 设定值应设定为大于 1 的整数。(大于 ADIVM=0).

13.6.2 ADIVN (H/L): 音频PLL 分频因子-N 设定寄存器 (地址 36h, 37h)

ADIVNH (36h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	ADIVN[10:8]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

ADIVNL (37h)

Bit	7	6	5	4	3	2	1	0
名称	ADIVN[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

ADIVN [10:0]: 音频 PLL 分频因子-N 设定 (如下).

设置 PLL 内部产生的时钟的分频比.

音频 PLL 时钟分频比: $N = \text{ADIVN}[10:0] + 1$

注意*: N 设定值应设定为大于 1 的整数。(大于 ADIVN=0).

13.6.3 APLL2CNT: 音频 PLL 控制寄存器 (地址 38h)

Bit 位	7	6	5	4	3	2	1	0
名称	CKOSEL[1:0]		DIVO[2:0]			APLLSEL[1:0]		APLLON
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

CKOSEL [1:0]: 选择 MCKO 管脚输出.

“00”: 选择置“低”或置“高”

“01”: 选择 MCKI 管脚输入时钟

“10”: 选择音频 PLL 输出时钟

“11”: 选择音频 PLL2 输出时钟

DIVO [2:0]: MCKO 管脚输出始终分频比设定.

当 CKOSEL = “00”

DIVO[2:0]	MCKO 管脚输出电平
000	MCKO 管脚置“低”
其他	MCKO 管脚置“高”

其他

DIVO[2:0]	MCKO 管脚输出时钟分频比
000	时钟分频 1/1
001	时钟分频 1/2
010	时钟分频 1/3
011	时钟分频 1/4
100	时钟分频 1/6
101	时钟分频 1/8
110	时钟分频 1/12
111	时钟分频 1/16

注意*: 以上除了“010”的设置外, 占空比均为 50%。当设定值为“010”时, 占空比将近为 60%。

APLLSEL [1:0]: 音频编解码器工作时钟选择。

“00”: MCKI 管脚输入时钟

“01”: 音频 PLL 内部生成的时钟。PLL 的时钟源为 MCKI 管脚。

“10”: 音频 PLL 内部生成的时钟。PLL 的时钟源为 BCK 管脚 (仅限于从机模式)。

“11”: 音频 PLL 内部生成的时钟。PLL 的时钟源为 LRCK 管脚 (仅限于从机模式)。

注意*: 当 BCK 被用作 PLL 的时钟源, 由于 BCK 时钟在上升沿或者下降沿区间内的占空比不同或者 BCK 管脚的抖动可能会产生恶化。当使用 BCK 管脚输入时, 请注意 BCK 时钟信号的质量。

注意**: 当在从机模式操作下设定 APLLSEL=“00”时, MCKI 输入时钟和 LRCK 输入时钟必须同步。当在从机模式操作时设定下 APLLSEL=“01”时, 由 MCKI 输入时钟产生的时钟必须和音频 PLL 及 LRCK 输入时钟同步。因此, 推荐在从机模式操作时设定 APLLSEL=“10”或 APLLSEL=“11”。同样如下一页所示, APLL2SEL 也推荐用此设置。

APLLON: 音频 PLL 电源控制.

“0”: 电源关闭

“1”: 电源开启

13.6.4 APLL2CNT: 音频 PLL2 控制寄存器 (地址 39h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	APLL2SEL[1:0]		APLL2ON
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

APLL2SEL [1:0]: 音频 DAC CH2 工作时钟选择。.

“00”: MCKI 管脚输入时钟

“01”: Audio PLL2 内部生成的时钟。PLL2 时钟源为 MCKI 管脚。

“10”: Audio PLL2 内部生成的时钟。PLL2 时钟源为 BCK2 管脚。(仅从机模式)。

“11”: Audio PLL2 内部生成的时钟。PLL2 时钟源为 LRCK2 管脚。(仅从机模式)。

注意*: 当 BCK2 被用作 PLL2 的时钟源, 由于 BCK2 时钟在上升沿或者下降沿区间内的占空比不同或者 BCK2 管脚的抖动可能会产生恶化。 当使用 BCK2 管脚输入时, 请注意 BCK2 时钟信号的质量。

APLL2ON: 音频 PLL2 电源控制。

“0”: 电源关闭

“1”: 电源开启

13.6.5 A2DIVM (H/L): 音频 PLL2 分频因子-M 设定寄存器 (地址 3Ah, 3Bh)

A2DIVMH (3Ah)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	A2DIVM[10:8]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

A2DIVML (3Bh)

Bit 位	7	6	5	4	3	2	1	0
名称	A2DIVM[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

A2DIVM [10:0]: 音频 PLL2 分频因子-M 的设定 (如下)。

设定 MCKI 分频比。MCKI 分频比: $M = A2DIVM[10:0] + 1$

注意*: M 应设定为大于 1 的整数。(大于 A2DIVM=0)。

13.6.6 A2DIVN (H/L): 音频 PLL2 分频因子 -N 设定寄存器 (地址 3Ch, 3Dh)

A2DIVNH (3Ch)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	A2DIVN[10:8]		
R/W	R	R	R	R	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

A2DIVNL (3Dh)

Bit 位	7	6	5	4	3	2	1	0
名称	A2DIVN[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

A2DIVN [10:0]: 音频 PLL2 分频因子-N 的设定 (如下)。

设定 PLL2 内部生成的时钟的分频比。

音频 PLL2 始终分频比: $N = A2DIVN[10:0] + 1$

注意*: N 应设定为大于 1 的整数。(大于 A2DIVN=0)。

13.6.7 DMCNT: 数字麦克风接口控制寄存器 (地址 3Eh)

Bit 位	7	6	5	4	3	2	1	0
名称	DMIOEN	DMEN	DMGPPD[1:0]		DMGPDIR[1:0]		DMGPDAT[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	1	1	0	0	0	0

DMIOEN : MICVDD 和 DVDD 的电源隔离控制位

"0": 睡眠
"1": 激活

MICVDD: 用作麦克风 I/F 或 GPIO (DMICCK_P0,DMICDT_P1)的管脚电源.

DVDD: 用于 CODEC 数字模块的电源

选择“激活”可使用作麦克风接口或 GPIO (DMICCK_P0,DMICDT_P1)的管脚有效

DMEN : 数字麦克风使能.

“0”: DMICCK 管脚用作 0 号通用 I/O 接口(P0), DMICDT 管脚用作 1 号通用 I/O 接口(P0) (默认).

“1”: DMICCK 管脚用作时钟输出, DMICDT 管脚用作给外部数字麦克风的 DATA 输入。

DMGPPD [1:0] : 用于控制 DMICDT_P1, DMICCK_P0 的可编程下拉。

•DMGPPD[1] “0”: 禁用 DMICDT_P1 管脚下拉
“1”: 开启 DMICDT_P1 管脚下拉 (默认)
•DMGPPD[0] “0”: 禁用 DMICCK_P0 管脚下拉
“1”: 开启 DMICCK_P0 管脚下拉(默认)

DMGPDIR [1:0] : 通用接口 P0 及 P1 的输入/输出属性设定。

•DMGPDIR[1] “0”: P1 作为输入端口 (默认)
“1”: P1 作为输出端口
•DMGPDIR[0] “0”: P0 作为输入端口(默认)
“1”: P0 作为输出端口

DMGPDAT [1:0] : 当通用接口为输出端口属性时, 此寄存器用于输出数据设定。或者, 当通用接口为输入端口使用时, 用于输入数据读取。

输出属性:

•DMGPDAT[1] “0”: P1 端口为“低”电平输出(默认)
“1”: P1 端口为“高”电平输出
•DMGPDAT[0] “0”: P0 端口为“低”电平输出(默认)
“1”: P0 端口为“高”电平输出

输入属性:

•DMGPDAT[1] “0”: P1 端口为“低”电平输入(默认)
“1”: P1 端口为“高”电平输入
•DMGPDAT[0] “0”: P0 端口为“低”电平输入(默认)
“1”: P0 端口为“高”电平输入

注意*: 当 <DMGPDAT> 作为输出被读取时, P1 和 P0 管脚的状态会被分别读取。

13.6.8 DMDG:数字麦克风增益设定寄存器 (地址 3Fh)

Bit 位	7	6	5	4	3	2	1	0
名称	-	DMRDG[2:0]			-	DMLDG[2:0]		
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

DMRDG [2:0]: 数字麦克风 Rch 增益设定。

DMLDG [2:0]: 数字麦克风 Lch 增益设定。

DMLDG, DMRDG 增益设定表

设定值	增益
000	0dB (默认)
001	+6dB
010	+12dB
011	+18dB
100	+24dB
101	+30dB
110	+30dB
111	+30dB

注意*: 当增益设定改变时, DMLDG 和 DMRDG 会迅速改变。

13.6.9 AIFCNT1: 音频编解码器接口控制寄存器1 (地址 40h)

Bit 位	7	6	5	4	3	2	1	0
名称	MSSEL	-	-	IFMODE	FSET [3:0]			
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W
默认值	1	0	0	0	0	0	0	0

MSSEL: 音频编解码器接口主机/从机的模式选择。

“0”: 主机模式

“1”: 从机模式

IFMODE: 音频编解码器串口形式选择。

“0”: IIS 数据形式

“1”: DSP 形式

FSET [3:0]: 音频编解码器采样频率选择。

FSET[3:0]	音频编解码器采样频率
0000	48kHz
0001	44.1kHz
0010	32kHz
0011	24kHz
0100	22.05kHz
0101	16kHz
0110	12kHz
0111	11.025kHz
1000	8kHz
其他	备用

13.6.10 AIFCNT2: 音频编解码器接口控制寄存器 2 (地址 41h)

Bit 位	7	6	5	4	3	2	1	0
名称	IFEN	DOZ	BCKINV	LRCKINV	PDDO	PDDI	PDBCK	PDLRCK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	1	1	1	1

IFEN: 开启编解码器接口 (仅限于主机模式).

“0”: LRCK/BCK 输出置“低”

“1”: 正常

DOZ: 音频 ADC DOUT 管脚 Hi-Z 控制。

“0”: DOUT 输出为 Hi-Z

“1”: 正常

(DOUT 信号为异步操作.)

BCKINV: 选择 BCK 是否反向。

“0”: 不反向

“1”: 反向

LRCKINV: 选择 LRCK 是否反向。

“0”: 不反向

“1”: 反向

PDDO: 控制 DOUT 管脚的可编程下拉。

“0”: 禁用

“1”: 开启

PDDI: 控制 DIN 管脚的可编程下拉。

“0”: 禁用

“1”: 开启

PDBCK: 控制 BCK 管脚的可编程下拉。

“0”: 禁用

“1”: 开启

PDLRCK: 控制 LRCK 管脚的可编程下拉。

“0”: 禁用

“1”: 开启

13.6.11 ADCNT: 音频 ADC 控制寄存器 (地址 42h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	BYPHPF	ADMUTE	ADON	ADRON	ADLON
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

BYPHPF: 音频 ADC HPF (高通滤波器)滤波控制

“0”: HPF 开启

“1”: HPF 旁路

注意*: HPF 用于防止输入信号的直流信号。此外, 请常置此位为“0”。

ADMUTE: 音频 ADC 数字静音控制。

“0”: 关闭静音

“1”: 开启静音

此用于控制音频 ADC 的软静音功能以及控制衰减器 ADLDG1 和 ADRDG1。

当开启静音时, 增益从 ADLDG1/ADRDG1 的当前设定值转换为 $-\infty$ 。

当关闭静音时, 增益从 $-\infty$ 转换为 ADLDG1/ADRDG1 的先前设定值。

增益转换从 $-\infty$ dB 到 0dB 耗时 20ms 左右, 且变化为线性变化。

ADON: 音频 ADC 数字模块使能控制

“0”: 禁用

“1”: 开启

ADRON: $\Delta\Sigma$ ADC 模拟模块 Rch 电源控制。

“0”: 电源关闭

“1”: 电源开启

ADLON: $\Delta\Sigma$ ADC 模拟模块 Lch 电源控制。

“0”: 电源关闭

“1”: 电源开启

13.6.12 ADCSEL: 音频ADC 输入选择寄存器1 (地址 43h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	AURDM[2:0]			-	AULDLM[2:0]		
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

AURDM [2:0]: 音频 ADC Rch 抽取滤波器输入源选择。
(请参考下面的输入源选择列表)

AULDLM [2:0]: 音频 ADC Lch 抽取滤波器输入源选择。
(请参考下面的输入源选择列表)

音频 Lch 和 Rch 的每个抽取滤波器的输入选择通过 ADCSEL 寄存器来设定。(如下表所示)

抽取滤波器的输入源选择

AURDM[2:0], AULDLM[2:0]	输入源
00x	置"低"
010	$\Delta\Sigma$ ADC Lch
011	$\Delta\Sigma$ ADC Rch
100	DMIC Lch
101	DMIC Rch
11x	置"低"

13.6.13 ADCLDG: 音频ADC Lch 数字增益控制寄存器 (地址 44h)

Bit 位	7	6	5	4	3	2	1	0
名称	ADLDG2 [1:0]			ADLDG1 [5:0]				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	1	1	1	1	1	1	1	1

ADLDG2 [1:0]: 音频 ADC Lch 数字增益 2 设定。(请参考下面 ADLDG2 和 ADRDG2 的增益设定表)

ADLDG1 [5:0]: 音频 ADC Lch 数字增益 1 设定。(请参考下面 ADLDG1 和 ADRDG1 的增益设定表)

13.6.14 ADCRDG: 音频ADC Rch 数字增益控制寄存器 (地址 45h)

Bit 位	7	6	5	4	3	2	1	0
名称	ADRDG2 [1:0]			ADRDG1 [5:0]				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	1	1	1	1	1	1	1	1

ADRDG2 [1:0]: 音频 ADC Rch 数字增益 2 设定。(请参考下面 ADLDG2 和 ADRDG2 的增益设定表)

ADRDG1 [5:0]: 音频 ADC Rch 数字增益 1 设定。(请参考下面 ADLDG1 和 ADRDG1 的增益设定表)

ADLDG2, ADRDG2 增益设定表

ADLDG2[1:0], ADRDG2[1:0]	数字增益 2
00	0dB
01	+6dB
10	+12dB
11	静音

ADLDG1, ADRDG1 增益设定表

设定值	增益	设定值	增益	设定值	增益	设定值	增益
00h	0dB	10h	-16dB	20h	-32dB	30h	-48dB
01h	-1dB	11h	-17dB	21h	-33dB	31h	-49dB
02h	-2dB	12h	-18dB	22h	-34dB	32h	-50dB
03h	-3dB	13h	-19dB	23h	-35dB	33h	-51dB
04h	-4dB	14h	-20dB	24h	-36dB	34h	-52dB
05h	-5dB	15h	-21dB	25h	-37dB	35h	-53dB
06h	-6dB	16h	-22dB	26h	-38dB	36h	-54dB
07h	-7dB	17h	-23dB	27h	-39dB	37h	-55dB
08h	-8dB	18h	-24dB	28h	-40dB	38h	-56dB
09h	-9dB	19h	-25dB	29h	-41dB	39h	-57dB
0Ah	-10dB	1Ah	-26dB	2Ah	-42dB	3Ah	-58dB
0Bh	-11dB	1Bh	-27dB	2Bh	-43dB	3Bh	-59dB
0Ch	-12dB	1Ch	-28dB	2Ch	-44dB	3Ch	-60dB
0Dh	-13dB	1Dh	-29dB	2Dh	-45dB	3Dh	-61dB
0Eh	-14dB	1Eh	-30dB	2Eh	-46dB	3Eh	-62dB
0Fh	-15dB	1Fh	-31dB	2Fh	-47dB	3Fh	静音

注意*: ADLDG1 和 ADRDG1 集成有软增益控制功能。在 $-\infty$ dB 和 0dB 间的的增益转换时间约为 20ms。并且增益在增益设定变化的邻近范围内会对应于时间的变化而线性地变化。当增益设定改变时, ADLDG2 和 ADRDG2 会立即改变。

13.6.15 DACCNT: 音频DAC 控制寄存器 (地址 46h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	DAMUTE	DAON	DARON	DALON
R/W	R	R	R	R	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

DAMUTE: 音频 DAC 数字静音控制

“0”: 关闭静音

“1”: 开启静音

此用于控制音频 ADC 的软静音功能以及控制衰减器 DALDG1 和 DARDG1。

当开启静音时, 增益从 DALDG1/ DARDG1 的当前设定值转换为 $-\infty$ 。

当关闭静音时, 增益从 $-\infty$ 转换为 DALDG1/ DARDG1 的先前设定值。

增益转换从 $-\infty$ dB 到 0dB 耗时 20ms 左右, 且变化为线性变化。

DAON: 音频 DAC 数字模块使能控制。

“0”: 禁用

“1”: 开启

DARON: 音频 DAC 模拟模块 Rch 电源控制。

“0”: 电源关闭

“1”: 电源开启

DALON: 音频 DAC 模拟模块 Lch 电源控制。

“0”: 电源关闭

“1”: 电源开启

13.6.16 DACSEL: 音频DAC 输入数据选择寄存器 (地址 47h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	DARSW [1:0]		-	-	DALSW [1:0]	
R/W	R	R	R/W	R/W	R	R	R/W	R/W
默认值	0	0	1	0	0	0	0	1

DARSW [1:0]: 音频 DAC Rch 输入选择

DARSW[1:0]	音频 DAC Rch 输入
00	关闭
01	Lch
10	Rch
11	MONO { (Lch+Rch) / 2 }

DALSW [1:0]: 音频 DAC Lch 输入选择。

DALSW[1:0]	音频 DAC Lch 输入
00	关闭
01	Lch
10	Rch
11	MONO { (Lch+Rch) / 2 }

13.6.17 DACLDG: 音频DAC Lch 数字增益控制寄存器 (地址 48h)

Bit 位	7	6	5	4	3	2	1	0
名称	DALDG2[1:0]			DALDG1[5:0]				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	1	1	1	1	1	1	1	1

DALDG2 [1:0]: 音频 DAC Lch 数字增益 2 设定。(请参考下面的 DALDAG2 和 DARDG2 增益设定表)

DALDG1 [5:0]: 音频 DAC Lch 数字增益设定。(请参考下面的 DALDAG1 和 DARDG1 增益设定表)

13.6.18 DACRDG: 音频DAC Rch 数字增益控制寄存器 (地址 49h)

Bit 位	7	6	5	4	3	2	1	0
名称	DARDG2 [1:0]			DARDG1 [5:0]				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	1	1	1	1	1	1	1	1

DARDG2 [1:0]: 音频 DAC Rch 数字增益 2 设定。(请参考下面的 DALDAG2 和 DARDG2 增益设定表)

DARDG1 [5:0]: 音频 DAC Rch 数字增益设定。(请参考下面的 DALDAG1 和 DARDG1 增益设定表)

DALDG2, DARDG2 增益设定表

DALDG2[1:0], DARDG2[1:0]	数字增益 2
00	0dB
01	+6dB
10	+12dB
11	静音

DALDG1, DARDG1 gain setting table

设定值	增益	设定值	增益	设定值	增益	设定值	增益
00h	0dB	10h	-16dB	20h	-32dB	30h	-48dB
01h	-1dB	11h	-17dB	21h	-33dB	31h	-49dB
02h	-2dB	12h	-18dB	22h	-34dB	32h	-50dB
03h	-3dB	13h	-19dB	23h	-35dB	33h	-51dB
04h	-4dB	14h	-20dB	24h	-36dB	34h	-52dB
05h	-5dB	15h	-21dB	25h	-37dB	35h	-53dB
06h	-6dB	16h	-22dB	26h	-38dB	36h	-54dB
07h	-7dB	17h	-23dB	27h	-39dB	37h	-55dB
08h	-8dB	18h	-24dB	28h	-40dB	38h	-56dB
09h	-9dB	19h	-25dB	29h	-41dB	39h	-57dB
0Ah	-10dB	1Ah	-26dB	2Ah	-42dB	3Ah	-58dB
0Bh	-11dB	1Bh	-27dB	2Bh	-43dB	3Bh	-59dB
0Ch	-12dB	1Ch	-28dB	2Ch	-44dB	3Ch	-60dB
0Dh	-13dB	1Dh	-29dB	2Dh	-45dB	3Dh	-61dB
0Eh	-14dB	1Eh	-30dB	2Eh	-46dB	3Eh	-62dB
0Fh	-15dB	1Fh	-31dB	2Fh	-47dB	3Fh	静音

注意*: DALDG1 和 DARDG1 集成有软增益控制功能。在 $-\infty$ dB 和 0dB 间的的增益转换时间约为 20ms。并且增益在增益设定变化的邻近范围内会对应于时间的变化而线性地变化。当增益设定改变时, DALDG2 和 DARDG2 会立即改变。

13.6.19 AIF2CNT1: 音频DAC CH2 接口控制寄存器 (地址 4Ah)

Bit 位	7	6	5	4	3	2	1	0
名称	MSSEL2	-	-	IFMODE2	FSET2 [3:0]			
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W
默认值	1	0	0	0	0	0	0	0

MSSEL2: 音频 DAC CH2 接口主机/从机模式选择。

“0”: 主机模式

“1”: 从机模式

IFMODE2: 音频 DAC CH2 串口形式选择。

“0”: IIS 数据格式

“1”: DSP 格式

FSET2 [3:0]: 音频 DAC CH2 采样频率选择。

FSET2[3:0]	音频 DAC CH2 采样频率
0000	48kHz
0001	44.1kHz
0010	32kHz
0011	24kHz
0100	22.05kHz
0101	16kHz
0110	12kHz
0111	11.025kHz
1000	8kHz
其他	备用

13.6.20 AIF2CNT2: 音频DAC CH2 接口控制寄存器2 (地址 4Bh)

Bit 位	7	6	5	4	3	2	1	0
名称	IF2EN	-	BCK2INV	LRCK2INV	-	PDDI2	PDBCK2	PDLRCK2
R/W	R/W	R	R/W	R/W	R	R/W	R/W	R/W
默认值	0	0	0	0	0	1	1	1

IF2EN: 音频 DAC CH2 接口使能 (仅限主机模式).

“0”: LRCK2/BCK2 输出置“低”

“1”: 正常

BCK2INV: BCK2 是否反向.

“0”: 不反向

“1”: 反向

LRCK2INV: LRCK2 是否反向.

“0”: 不反向

“1”: 反向

PDDI2: 控制 DIN2 管脚的可编程下拉.

“0”: 禁用

“1”: 开启

PDBCK2: 控制 BCK2 管脚的可编程下拉.

“0”: 禁用

“1”: 开启

PDLRCK2: 控制 LRCK2 管脚的可编程下拉.

“0”: 禁用

“1”: 开启

13.6.21 DAC2CNT: 音频 DAC CH2 控制寄存器 (地址 4Ch)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	-	DA2MUTE	DA2ON	DA2RON	DA2LON
R/W	R	R	R	R	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

DA2MUTE: 音频 DAC CH2 数字静音控制。

“0”: 关闭静音

“1”: 开启静音

此用于控制音频 DAC CH2 的软静音功能以及控制衰减器 DA2LDG1 和 DA2RDG1。

当开启静音时, 增益从 DA2LDG1/DA2RDG1 的当前设定值转换为 $-\infty$ 。

当关闭静音时, 增益从 $-\infty$ 转换为 DA2LDG1/DA2RDG1 的先前设定值。

增益转换从 $-\infty$ dB 到 0dB 耗时 20ms 左右, 且变化为线性变化。

DA2ON: 音频 DAC CH2 数字模块使能控制。

“0”: 禁用

“1”: 开启

DA2RON: 音频 DAC CH2 模拟模块 Rch 电源控制。

“0”: 电源关闭

“1”: 电源开启

DA2LON: 音频 DAC CH2 模拟模块 Lch 电源控制。

“0”: 电源关闭

“1”: 电源开启

13.6.22 DAC2SEL: 音频 DAC CH2 输入数据选择寄存器 (地址 4Dh)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	DA2RSW [1:0]		-	-	DA2LSW [1:0]	
R/W	R	R	R/W	R/W	R	R	R/W	R/W
默认值	0	0	1	0	0	0	0	1

DA2RSW [1:0]: 音频 DAC CH2 Rch 输入选择。

DA2RSW[1:0]	音频 DAC CH2 Rch 输入
00	关闭
01	Lch
10	Rch
11	MONO { (Lch+Rch) / 2 }

DA2LSW [1:0]: 音频 DAC CH2 Lch 输入选择。

DA2LSW[1:0]	音频 DAC CH2 Lch 输入
00	关闭
01	Lch
10	Rch
11	MONO { (Lch+Rch) / 2 }

13.6.23 DAC2LDG: 音频DAC CH2 Lch 数字增益控制寄存器 (地址 4Eh)

Bit 位	7	6	5	4	3	2	1	0
名称	DA2LDG2[1:0]			DA2LDG1[5:0]				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	1	1	1	1	1	1	1	1

DA2LDG2 [1:0]: 音频 DAC CH2 Lch 数字增益 2 设定。(请参考下面的 DA2LDAG2 和 DA2RDG2 增益设定表)

DA2LDG1 [5:0]: 音频 DAC CH2 Lch 数字增益 1 设定。(请参考下面的 DA2LDAG1 和 DA2RDG1 增益设定表)

13.6.24 DAC2RDG: 音频DAC CH2 Rch 数字增益控制寄存器 (地址 4Fh)

Bit 位	7	6	5	4	3	2	1	0
名称	DA2RDG2 [1:0]			DA2RDG1 [5:0]				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	1	1	1	1	1	1	1	1

DA2RDG2 [1:0]: 音频 DAC CH2 Rch 数字增益 2 设定。(请参考下面的 DA2LDAG2 和 DA2RDG2 增益设定表)

DA2RDG1 [5:0]: 音频 DAC CH2 Rch 数字增益 1 设定。(See the below DA2LDAG1 和 DA2RDG1 增益设定表)

DA2LDG2, DA2RDG2 增益设定表

DA2LDG2[1:0], DA2RDG2[1:0]	CH2 数字增益 2
00	0dB
01	+6dB
10	+12dB
11	静音

DA2LDG1, DA2RDG1 增益设定表

设定值	增益	设定值	增益	设定值	增益	设定值	增益
00h	0dB	10h	-16dB	20h	-32dB	30h	-48dB
01h	-1dB	11h	-17dB	21h	-33dB	31h	-49dB
02h	-2dB	12h	-18dB	22h	-34dB	32h	-50dB
03h	-3dB	13h	-19dB	23h	-35dB	33h	-51dB
04h	-4dB	14h	-20dB	24h	-36dB	34h	-52dB
05h	-5dB	15h	-21dB	25h	-37dB	35h	-53dB
06h	-6dB	16h	-22dB	26h	-38dB	36h	-54dB
07h	-7dB	17h	-23dB	27h	-39dB	37h	-55dB
08h	-8dB	18h	-24dB	28h	-40dB	38h	-56dB
09h	-9dB	19h	-25dB	29h	-41dB	39h	-57dB
0Ah	-10dB	1Ah	-26dB	2Ah	-42dB	3Ah	-58dB
0Bh	-11dB	1Bh	-27dB	2Bh	-43dB	3Bh	-59dB
0Ch	-12dB	1Ch	-28dB	2Ch	-44dB	3Ch	-60dB
0Dh	-13dB	1Dh	-29dB	2Dh	-45dB	3Dh	-61dB
0Eh	-14dB	1Eh	-30dB	2Eh	-46dB	3Eh	-62dB
0Fh	-15dB	1Fh	-31dB	2Fh	-47dB	3Fh	静音

注意*: DA2LDG1 和 DA2RDG1 集成有软增益控制功能。在-∞dB 和 0dB 间的的增益转换时间约为 20ms。并且增益在增益设定变化的邻近范围内会对应于时间的变化而线性地变化。当增益设定改变时, DA2LDG2 和 DA2RDG2 会立即改变。

13.6.25 COAPWR: 编解码器模拟模块电源控制寄存器 (地址 50h)

Bit 位	7	6	5	4	3	2	1	0
名称	COREGON	COR_ECO	HPREGON	HPR_ECO	MBIASON	-	-	REFON
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W
默认值	0	0	0	0	0	0	0	0

COREGON: 给编解码器模拟模块供电的 LDO 电源控制。

“0”: 电源关闭

“1”: 电源开启

注意*: 当设定 COREGON="0"→"1", COR_ECO 会被设为“0”。

COR_ECO: 给编解码器模拟模块供电的 LDO 的 ECO 模式设定。

“0”: 正常模式

“1”: ECO 模式

注意*: 切换到 ECO 模式需在设定 COREGON="1" 后 1ms 或更长时间内执行。

HPREGON: 给耳机放大器供电的 LDO 电源控制。

“0”: 电源关闭

“1”: 电源开启

注意*: 当设定 HPREGON="0"→"1", HPR_ECO 会被设为“0”。

设定 HPREGON="1"需在设定 COREGON="1" 后 1ms 或更长时间内执行。

HPR_ECO: 给耳机放大器供电的 LDO 的 ECO 模式设定。

“0”: 正常模式

“1”: ECO 模式

注意*: 切换到 ECO 模式需在设定 HPREGON="1" 后 1ms 或更长时间内执行。

MBIASON: 麦克风偏置的电源控制。

“0”: 电源关闭

“1”: 电源开启

REFON: 编解码器模拟偏执电路的电源控制。

“0”: 电源关闭

“1”: 电源开启

13.6.26 AIPON: 模拟输入路径电源控制寄存器 (地址 51h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	APTRON	APTLON	TXRON	TXLON	BSTRON	BSTLON
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

APTRON: 模拟 Path-Through Amp Rch 电源控制。

“0”: 电源关闭

“1”: 电源开启

APTLON: 模拟 Path-Through Amp Lch 电源控制。

“0”: 电源关闭

“1”: 电源开启

TXRON: TX Amp Rch 电源控制。

“0”: 电源关闭

“1”: 电源开启

TXLON: TX Amp Lch 电源控制。

“0”: 电源关闭

“1”: 电源开启

BSTRON: Boost Amp Rch 电源控制。

“0”: 电源关闭

“1”: 电源开启

BSTLON: Boost Amp Lch 电源控制。

“0”: 电源关闭

“1”: 电源开启

13.6.27 AIPCNT: 模拟输入路径 SW 控制寄存器 (地址 52h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	AINRSW [1:0]		-	-	AINLSW [1:0]	
R/W	R	R	R/W	R/W	R	R	R/W	R/W
默认值	0	0	0	0	0	0	0	0

AINRSW [1:0]: Rch 模拟输入(Boost Amp 输入) 源选择。

AINRSW[1:0]	Line In-R	MIC-R	Boost Amp Rch 输出
00	关闭	关闭	关闭
01	关闭	开启	MIC-R
10	开启	关闭	Line In-R
11	开启	开启	Line In-R + MIC-R

AINLSW [1:0]: Lch Analog 输入(Boost Amp 输入) 源选择。

AINLSW[1:0]	Line In-L	MIC-L	Boost Amp Lch 输出
00	关闭	关闭	关闭
01	关闭	开启	MIC-L
10	开启	关闭	Line In-L
11	开启	开启	Line In-L + MIC-L

13.6.28 BSTAG: Boost Amp Gain Setting Register (地址 53h)

Bit	7	6	5	4	3	2	1	0
名称	-	BSTRAG[2:0]			-	BSTLAG[2:0]		
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

BSTRAG [2:0]: Boost Amp Rch 增益设定。(请参考下面的 BSTLAG 和 BSTRAG 增益设定表)

BSTLAG [2:0]: Boost Amp Lch 增益设定。(请参考下面的 BSTLAG 和 BSTRAG 增益设定表)

BSTLAG, BSTRAG 增益设定表

设定值	增益
000	0dB (默认)
001	+6dB
010	+12dB
011	+18dB
100	+24dB
101	+30dB
110	+30dB
111	+30dB

注意*: 当增益设定变化时 BSTLAG 和 BSTRAG 会立即改变。

13.6.29 TXLAG: TX Amp Lch 增益几次拿起 (地址 54h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	TXLAG [4:0]				
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	1	1	1	1

TXLAG [4:0]: TX Amp Lch 增益设定。(请参考下面的 TXLAG 和 TXRAG 增益设定表)

13.6.30 TXRAG: TX Amp Rch 增益设定寄存器 (地址 55h)

Bit	7	6	5	4	3	2	1	0
名称	-	-	-	TXRAG [4:0]				
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	1	1	1	1

TXRAG [4:0]: TX Amp Rch 增益设定。(请参考下面的 TXLAG 和 TXRAG 增益设定表)

TXLAG, TXRAG 增益设定表

设定值	增益	设定值	增益
00h	+30dB	10h	-2dB
01h	+28dB	11h	-4dB
02h	+26dB	12h	-6dB
03h	+24dB	13h	-8dB
04h	+22dB	14h	-10dB
05h	+20dB	15h	-12dB
06h	+18dB	16h	-14dB
07h	+16dB	17h	-16dB
08h	+14dB	18h	-18dB
09h	+12dB	19h	-20dB
0Ah	+10dB	1Ah	静音
0Bh	+8dB	1Bh	
0Ch	+6dB	1Ch	
0Dh	+4dB	1Dh	
0Eh	+2dB	1Eh	
0Fh	0dB	1Fh	

注意*: 当增益设定变化时, TXLAG 和 TXRAG 会立即改变。

13.6.31 APTAG: 模拟 Path-Through Amp 增益设定寄存器 (地址 56h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	APTRAG[2:0]			-	APTLAG[2:0]		
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
默认值	0	1	1	1	0	1	1	1

APTRAG [2:0]: 模拟 Path-Through Amp Rch 增益设定。

APTLAG [2:0]: 模拟 Path-Through Amp Lch 增益设定。

APTRAG[2:0], APTLAG[2:0]	模拟 Path-Through Amp 增益
000	+6dB
001	+3dB
010	0dB
011	-3dB
100	-6dB
101	-9dB
110	-12dB
111	-15dB

注意*:当增益变化时, APTLAG 和 APTRAG 会立即改变。

13.6.32 AOPON: 模拟输出路径电源控制寄存器 (地址 57h)

Bit 位	7	6	5	4	3	2	1	0
名称	MIXRON	MIXLON	SPON	SPPON	LORON	LOLON	HPRON	HPLON
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

MIXRON: 混合放大器 Rch 电源控制。

“0”: 电源关闭

“1”: 电源开启

MIXLON: 混合放大器 Lch 电源控制。

“0”: 电源关闭

“1”: 电源开启

SPON: 扬声器放大器电源控制。

“0”: 电源关闭

“1”: 电源开启

SPPON: 扬声器前置放大器电源控制。

“0”: 电源关闭

“1”: 电源开启

LORON: 线路输出放大器 Rch 电源控制。

“0”: 电源关闭

“1”: 电源开启

LOLON: 线路输出放大器 Lch 电源控制。

“0”: 电源关闭

“1”: 电源开启

HPRON: 耳机放大器 Rch 电源控制。

“0”: 电源关闭

“1”: 电源开启

HPLON: 耳机放大器 Lch 电源控制。

“0”: 电源关闭

“1”: 电源开启

注意*: 在下列寄存器设定的关闭→开启或开启→关闭过程中, 下页所示的开/关时序会被执行: SPPON (bit4), LORON (bit3), LOLON (bit2), HPRON (bit1), 和 HPLON (bit0)。

因此, 请不要在开关/设定时同时设定关闭→开启和开启→关闭。

同样在开/关设定后, 如下页所示, 在花费一段时间为 POPT[1:0] (59h[1:0])设定后一定要执行下一步开/关设定。

13.6.33 AOPMUTE: 模拟输出路径静音控制寄存器 (地址 58h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	SPMUTE	SPPMUTE	-	LOMUTE	-	HPMUTE
R/W	R	R	R/W	R/W	R	R/W	R	R/W
默认值	0	0	1	1	0	1	0	1

SPMUTE: 扬声器放大器静音控制。

- “0”: 关闭静音
- “1”: 开启静音

SPPMUTE: 扬声器前置放大器静音控制

- “0”: 关闭静音
- “1”: 开启静音

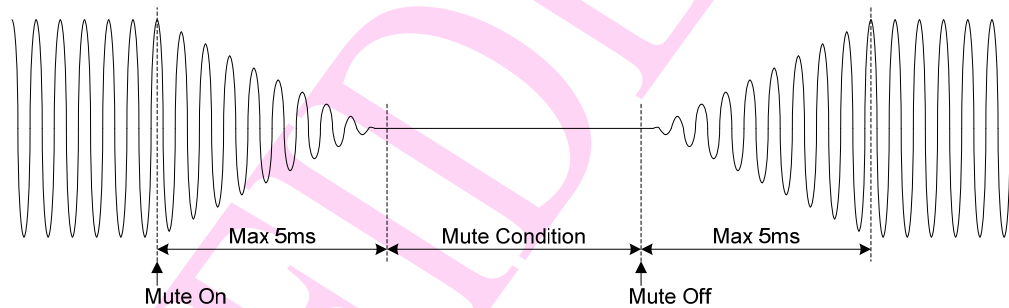
LOMUTE: 线路输出放大器控制。Lch 和 Rch 通常会被静音控制。

- “0”: 关闭静音
- “1”: 开启静音

HPMUTE: 耳机放大器控制。Lch 和 Rch 通常会被静音控制。

- “0”: 关闭静音
- “1”: 开启静音

耳机放大器, 线路输出放大器, 和扬声器前置放大器有增益平滑控制功能。当设定 HPMUTE, LOMUTE 和 SPPMUTE 时, 它们的输出会分别执行如下图所示的信号变换过程。



当每个放大器的增益改变时, 上述信号转换过程也会在增益设定过程中执行。

另外在设定 HPMUTE, LOMUTE, 和 SPPMUTE 时, 增益转换过程会被执行直到每个模拟增益设定值处于 Mute-off 设定点上。

13.6.34 AOPCNT: 模拟输出路径 POP 控制寄存器 (地址 59h)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	SPLIMCNT	-	-	-	POPT[1:0]	
R/W	R	R	R/W	R	R	R	R/W	R/W
默认值	0	0	0	0	0	0	1	1

SPLIMCNT: 扬声器放大器过流中断控制。

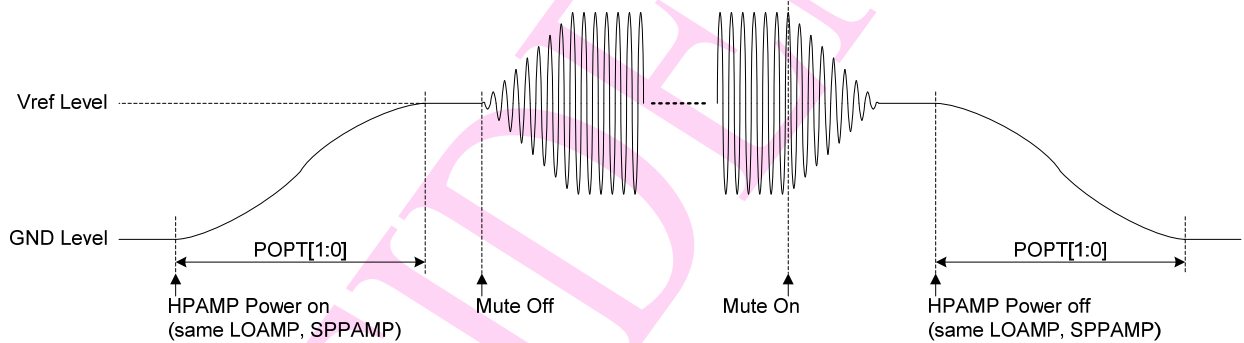
“0”: 自动关闭 (边缘类型中断)

“1”: 通过设置 SPPDB 寄存器关闭 (电平类型中断)

POPT [1:0]: 耳机放大器, 线路输出放大器及扬声器前置放大器的开关时序耗时设定。
输出驱动放大器的上升/下降过程会在所选定的时间内完成。

POPT[1:0]	开/关时序耗时 (最大值)
00	40ms
01	60ms
10	80ms
11	100ms

当设定 HPL(R)ON, LOL(R)ON, 和 SPPON,耳机放大器, 线路输出放大器及扬声器前置放大器的输出会分别执行下图所示的开/关时序变换过程。



注意*:在开/关设定后, 在花费一段时间为 POPT 设定后一定要执行下一步开/关设定。

13.6.35 MIXSW: 模拟输出路径混合放大器 SW 控制寄存器 (地址 5Ah)

Bit 位	7	6	5	4	3	2	1	0
名称	-	MIXRSW [2:0]			-	MIXLSW [2:0]		
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

MIXRSW [2:0]: 混合放大器 Rch 输入源选择。

MIXRSW[2:0]	APT-R	DAC2-R	DAC-R	混合放大器 Rch 输出
000	关	关	关	关
001	关	关	开	DAC-R
010	关	开	关	DAC2-R
011	关	开	开	DAC2-R + DAC-R
100	开	关	关	APT-R
101	开	关	开	APT-R + DAC-R
110	开	开	关	APT-R + DAC2-R
111	开	开	开	APT-R + DAC2-R + DAC-R

MIXLSW [2:0]: 混合放大器 Lch 输入源选择。

MIXLSW[2:0]	APT-L	DAC2-L	DAC-L	混合放大器 Lch 输出
000	关	关	关	关
001	关	关	开	DAC-L
010	关	开	关	DAC2-L
011	关	开	开	DAC2-L + DAC-L
100	开	关	关	APT-L
101	开	关	开	APT-L + DAC-L
110	开	开	关	APT-L + DAC2-L
111	开	开	开	APT-L + DAC2-L + DAC-L

注意*: APT-L 和 APT-R 分别表示模拟路径 Lch 信号和模拟路径 Rch 信号。(请参考编解码器框图)

13.6.36 SPPSW: 模拟输出路径SPP-混合放大器 SW 控制寄存器 (地址 5Bh)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	SPPSW [5:0]					
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0

SPPSW [3:0] : SPP-混合放大器输入源选择。

SPPSW[0] :: DAC-L 信号混合控制。

- 0 : 关闭混合
- 1 : 开启混合

SPPSW[1] :: DAC-R 信号混合控制。

- 0 : 关闭混合
- 1 : 开启混合

SPPSW[2] :: DAC2-L 信号混合控制。

- 0 : 关闭混合
- 1 : 开启混合

SPPSW[3] :: DAC2-R 信号混合控制。

- 0 : 关闭混合
- 1 : 开启混合

SPPSW[4] :: APT-L 信号混合控制。

- 0 : 关闭混合
- 1 : 开启混合

SPPSW[5] :: APT-R 信号混合控制。

- 0 : 关闭混合
- 1 : 开启混合

SPPSW[5:0]	APT-R	APT-L	DAC2-R	DAC2-L	DAC-R	DAC-L	SPP-混合放大器输出
00 00 00	关	关	关	关	关	关	全关
00 00 01	关	关	关	关	关	开	
00 00 10	关	关	关	关	开	关	
00 00 11	关	关	关	关	开	开	
...	
11 11 00	开	开	开	开	关	关	
11 11 01	开	开	开	开	关	开	
11 11 10	开	开	开	开	开	关	
11 11 11	开	开	开	开	开	开	

注意*: APT-L 和 APT-R 分别表示模拟路径 Lch 信号和模拟路径 Rch 信号。(请参考编解码器框图)

13.6.37 HPAG: 耳机放大器增益设定寄存器 (地址 5Ch)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	HPAG [4:0]				
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	1	1	1	0	0

HPAG [4:0]: 耳机放大器增益设定寄存器。(请参考下面的 HPAG 增益设定表)

HPAG 增益设定表

设定值	增益	设定值	增益
00h	+6dB	10h	-26dB
01h	+4dB	11h	-28dB
02h	+2dB	12h	-30dB
03h	0dB	13h	-32dB
04h	-2dB	14h	-34dB
05h	-4dB	15h	-36dB
06h	-6dB	16h	-38dB
07h	-8dB	17h	-40dB
08h	-10dB	18h	-42dB
09h	-12dB	19h	-44dB
0Ah	-14dB	1Ah	-46dB
0Bh	-16dB	1Bh	-48dB
0Ch	-18dB	1Ch	静音
0Dh	-20dB	1Dh	
0Eh	-22dB	1Eh	
0Fh	-24dB	1Fh	

注意*: HPAMP 对应 Lch 和 Rch 的共模增益设定。

当增益变化时, 增益平滑控制机制会工作。

从最大增益转换到静音(+12dB ~ 静音)或从静音转换到最大增益(静音 ~ +6dB)最多需要 5ms。

13.6.38 LOAG: 线路输出放大器增益设定寄存器 (地址 5Dh)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	LOAG [4:0]				
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	1	1	1	1	1

LOAG [4:0]: 线路输出放大器增益设定。(请参考下面的 LOAG 和 SPPAG 增益设定表。)

13.6.39 SPPAG: 扬声器前置放大器增益设定寄存器 (地址 5Eh)

Bit 位	7	6	5	4	3	2	1	0
名称	-	-	-	SPPAG [4:0]				
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	1	1	1	1	1

SPPAG [4:0]: 扬声器前置放大器增益设定。(请参考下面的 LOAG 和 SPPAG 增益设定表)

LOAG, SPPAG 增益设定表

设定值	增益	设定值	增益
00h	+12dB	10h	-20dB
01h	+10dB	11h	-22dB
02h	+8dB	12h	-24dB
03h	+6dB	13h	-26dB
04h	+4dB	14h	-28dB
05h	+2dB	15h	-30dB
06h	0dB	16h	-32dB
07h	-2dB	17h	-34dB
08h	-4dB	18h	-36dB
09h	-6dB	19h	-38dB
0Ah	-8dB	1Ah	-40dB
0Bh	-10dB	1Bh	-42dB
0Ch	-12dB	1Ch	-44dB
0Dh	-14dB	1Dh	-46dB
0Eh	-16dB	1Eh	-48dB
0Fh	-18dB	1Fh	静音

注意*: LOAMP 对应的是 Lch 和 Rch 的共模增益设定。

当增益设定变化时, 增益控制会平滑地作用于 LOAMP 和 SPPAMP。

从最大增益转换到静音(+12dB ~ 静音)或从静音转换到最大增益(静音 ~ +12dB)最多需要 5ms。

14. 电气特性

14.1 最大绝对额定值

超越最大绝对额定值的工作条件可能会导致永久性的损坏并影响器件以及系统的可靠性和安全性。在推荐条件里所列的参数值外，功能性操作不被保证。

VDD=V _{IN} , V _{DDIO} , V _{DMIC}				
名称	参数	条件	额定值	单位
V _{IN}	电源输入	VINCOM, VINP1-4, VINL1-2 VINDDBB, VINC, SPVDD	-0.3~6.0	V
V _{VSYS}	电源输入	VSYS	-0.3~6.0	V
V _{VCHG}	电源输入	VCHG	-0.3~6.5	V
V _{DDIO}	电源输入	VDDIO	-0.3~4.5	V
V _{DMIC}	电源输入	DMICVDD	-0.3~4.5	V
V _{in}	输入电压范围	All Input Pins	-0.3~VDD+0.3	V
V _{out}	输出电压范围		-0.3~VDD+0.3	V
PD	封装额定功率耗散	JEDEC 饱和贴片状态 风速 0m/s Ta=25 度 线性下降系数 = 0.029 W/度	2.9 (TBD)	W
T _{stg}	储运温度	-	-55~+125	度
T _j	接点温度		125	度

表 14-1 最大绝对额定值

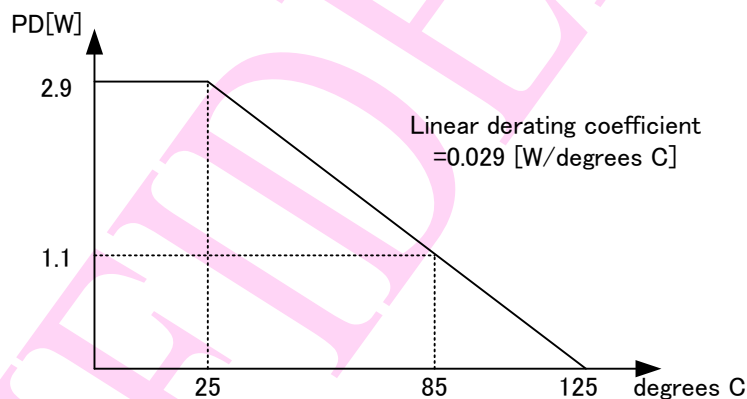


图.14-1 封装最大额定功率耗散

14.2 推荐工作条件

名称	参数	条件	最小值	典型值	最大值	单位
V _{IN}	电源输入	VINCOM, VINP1-4, VINL1-2 VINDDBB, VINC, SPVDD	3.1	3.6	5.5	V
V _{VSYS}	电源输入	VSYS	4.55	4.8	4.85	V
V _{VCHG}	电源输入	VCHG	4.5	5.0	5.5	V
V _{DDIO}	电源输入	VDDIO	1.7		3.4	V
V _{DMIC}	电源输入	DMICVDD	1.7		3.4	V
T _a	温度	-	-40		+85	度

表 14-2 推荐工作条件

14.3 DC 特性

14.3.1 VINCOM CMOS 施密特输入管脚

应用: PWRON

工作条件(非特殊条件不注明) $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
VT+	输入上升阈值		VINCOM * 0.5		VINCOM * 0.8	V
VT-	输入下降阈值		VINCOM * 0.2		VINCOM * 0.5	V
Δ VT	滞回		VINCOM * 0.1			V
ILI	输入泄漏电流	输入管脚电压 = 0 ~ VINCOM	-1		1	μ A

14.3.2 VINCOM Nch-MOS 开漏输出管脚

应用: ONOB, INTB, BATDET, RESETO

工作条件(非特殊条件不注明) $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
V_{OL}	“L” 输出电压	$I_{OUT} = 2\text{mA}$			0.4	V

14.3.3 VDDIO CMOS Schmitt 输入管脚

应用: DD1(~4)EN, DD1(2)SEL0(1), PSHOLD, SLEEPB, DIN, DIN2, MCKI, SCL, SDA

工作条件(非特殊条件不注明) $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
ILI	输入泄漏电流	输入管脚电压 = 0 ~ VDDIO, 下拉不可	-1		1	μ A
VT+	输入上升阈值		VDDIO * 0.5		VDDIO * 0.8	V
VT-	输入下降阈值		VDDIO * 0.2		VDDIO * 0.5	V
Δ VT	滞回	VDDIO > 2.0V, Pin=SCL, SDA	VDDIO* 0.05			V
			VDDIO* 0.1			
Rpd	下拉电阻	Pin=DIN, DIN2	500k	1M	1.5M	ohm

14.3.4 VDDIO Nch-MOS 开漏输出管脚

应用: SDA

工作条件(非特殊条件不注明) $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
V_{OL}	“L” 输出电压	$I_{OL} = 3\text{mA}$			0.4	V
		$I_{OL} = 6\text{mA}$			0.6	V

14.3.5 VDDIO CMOS 输出管脚

应用: MCLKO

工作条件(非特殊条件不注明) $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
VOH	输出电压“H”电平	$I_{OUT} = -4mA$	VDDIO - 0.4			V
VOL	输出电压“L”电平	$I_{OUT} = 4mA$			0.4	V

应用: DOUT

工作条件(非特殊条件不注明) $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
VOH	输出电压“H”电平	$I_{OUT} = -1mA$	VDDIO - 0.4			V
VOL	输出电压“L”电平	$I_{OUT} = 1mA$			0.4	V
Rpd	下拉电阻		500k	1M	1.5M	ohm

14.3.6 VDDIO CMOS 施密特 I/O 管脚

应用: LRCK, BCK, LRCK2, BCK2

工作条件(非特殊条件不注明) $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
ILI	输入泄漏电流	输入管脚电压 = 0~VDDIO, 下拉不可	-1		1	uA
Rpd	下拉电阻		500k	1M	1.5M	ohm
VT+	输入上升阈值		VDDIO * 0.5		VDDIO * 0.8	V
VT-	输入下降阈值		VDDIO * 0.2		VDDIO * 0.5	V
ΔVT	滞回		VDDIO * 0.1			V
VOH	输出电压“H”电平	$I_{OUT} = -1mA$	VDDIO - 0.4			V
VOL	输出电压“L”电平	$I_{OUT} = 1mA$			0.4	V

14.3.7 DMICVDD CMOS 施密特 I/O 管脚

应用: DMICCK_P0, DMICDT_P1

工作条件(非特殊条件不注明) $T_a = 25$ 度

名称	参数	条件	最小值	典型值	最大值	单位
ILI	输入泄漏电流	输入管脚电压 = 0~DMICVDD, 下拉不可	-1		1	uA
Rpd	下拉电阻		50k	100k	150k	ohm
VT+	输入上升阈值		DMICVDD * 0.5		DMICVDD * 0.8	V
VT-	输入下降阈值		DMICVDD * 0.2		DMICVDD * 0.5	V
ΔVT	滞回		DMICVDD * 0.1			V
VOH	输出电压“H”电平	$I_{OUT} = -1mA$	DMICVDD * 0.8			V
VOL	输出电压“L”电平	$I_{OUT} = 1mA$			DMICVDD * 0.2	V

14.3.8 电流消耗

工作条件(非特殊条件不注明) $T_a = 25 \text{ degrees C}$, $V_{IN} = 3.6\text{V}$, 无负载

名称	参数	条件	最小值	典型值	最大值	单位
I_{ST1}	待机电流 1	未开机 (UVLO,BATDET,RESDET,INTLDO,LDO6 开启)		10		μA
I_{ST2}	待机电流 2	power-on (Standby mode) (UVLO,BATDET,RESDET,INTLDO,TSHUT LDO1,LDO3,LDO5,LDO6,LDO7,DCDC3 开启)		T.B.D		μA
I_{OP}	工作电流	开机 (普通模式) (LDO,DC/DC 都开启)		T.B.D		mA

表 14-3 电流消耗

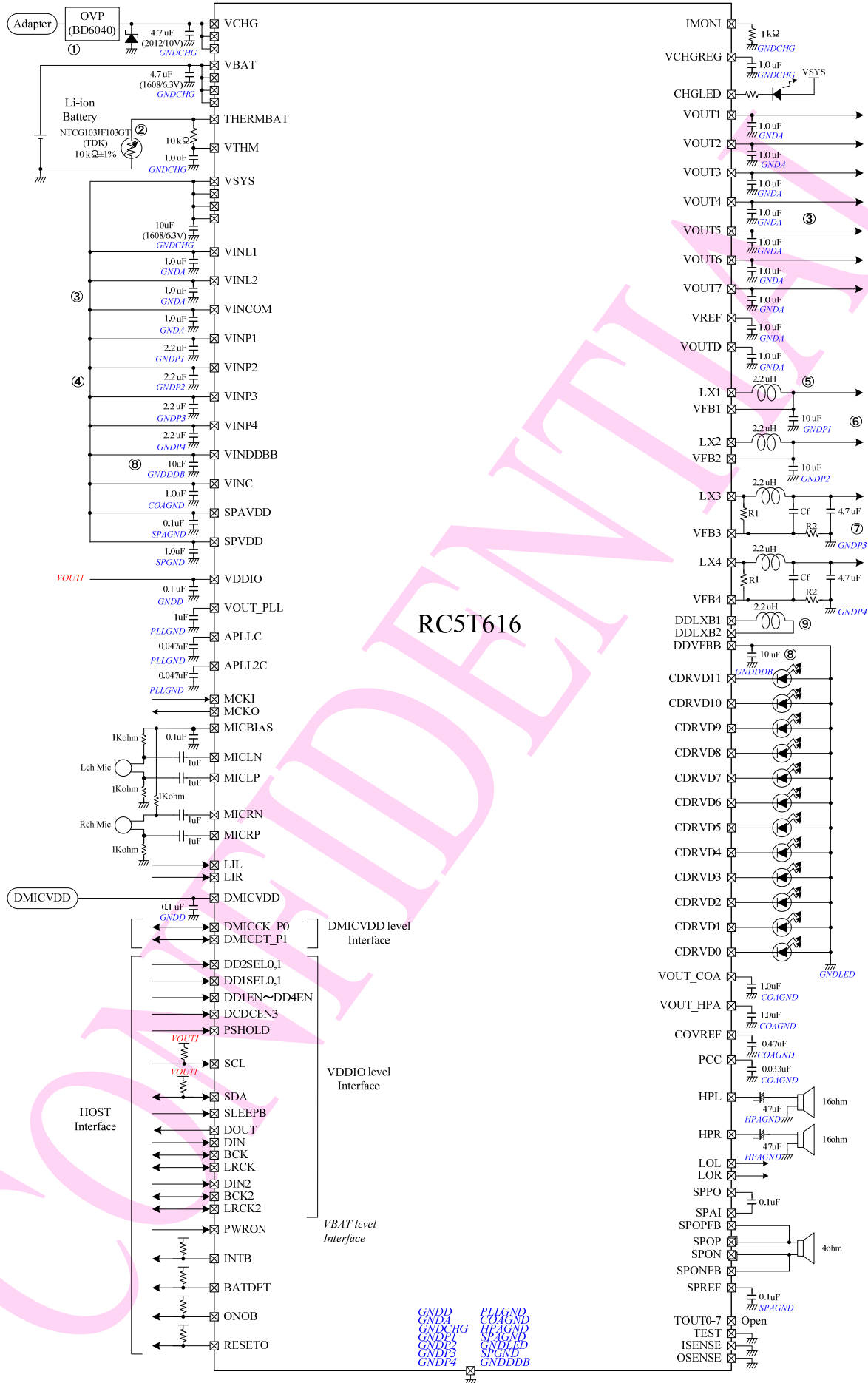
15. 附录

15.1 外部器件

*推荐外部器件

编号	器件	厂商	产品型号	值	注意
1	过压保护 IC	ROHM	BD6040	-	-
2	热敏电阻	TDK	NTCG103JF103GT	10kohm	-
3	LDO 用电容	Murata	GRM155B31A105KE15	1 μ F	
4	DC*输入电感	Taiyo Yuden	LMK107BJ225KA-T	2.2 μ F	T.B.D.
5	DCDC*用电感	FDK	MIPSZ2520D2R3	2.2 μ H	
6	DCDC1,2 带通滤波电容	TDK	C1608JB0J106M	10 μ F	
7	DCDC3,4 带通滤波电容	TDK	C1608JB1A475KT	4.7 μ F	
8	Boost-DCDC 用电容	Taiyo Yuden	LMK107BBJ106MA	10 μ F	
9	Boost-DCDC 用电感	TDK	VLS252010ET-2R2M	2.2 μ H	

注意 1. 所有电容均采用陶瓷类型和 SPEC B.



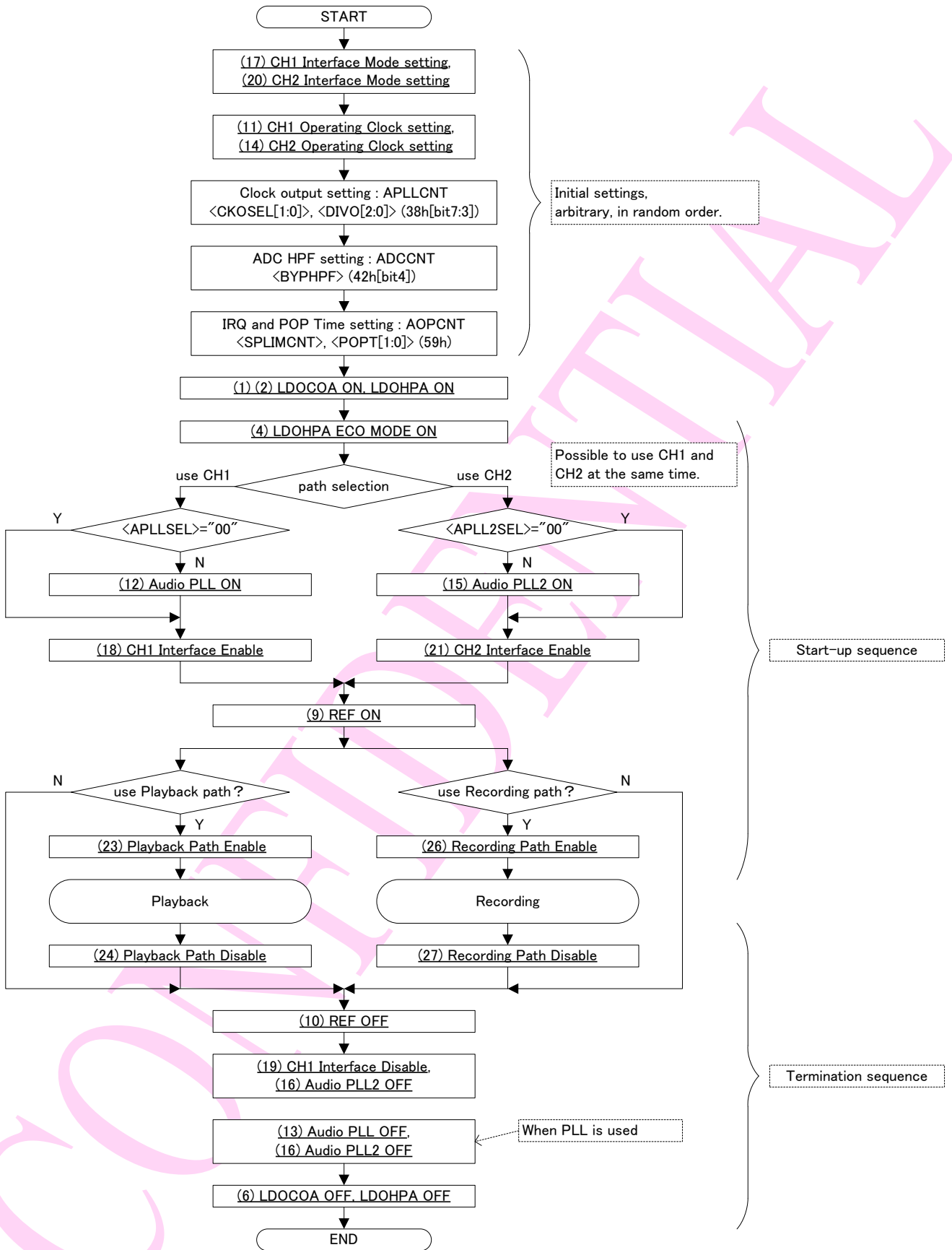
15.2 音频编解码器设置过程实例

附录

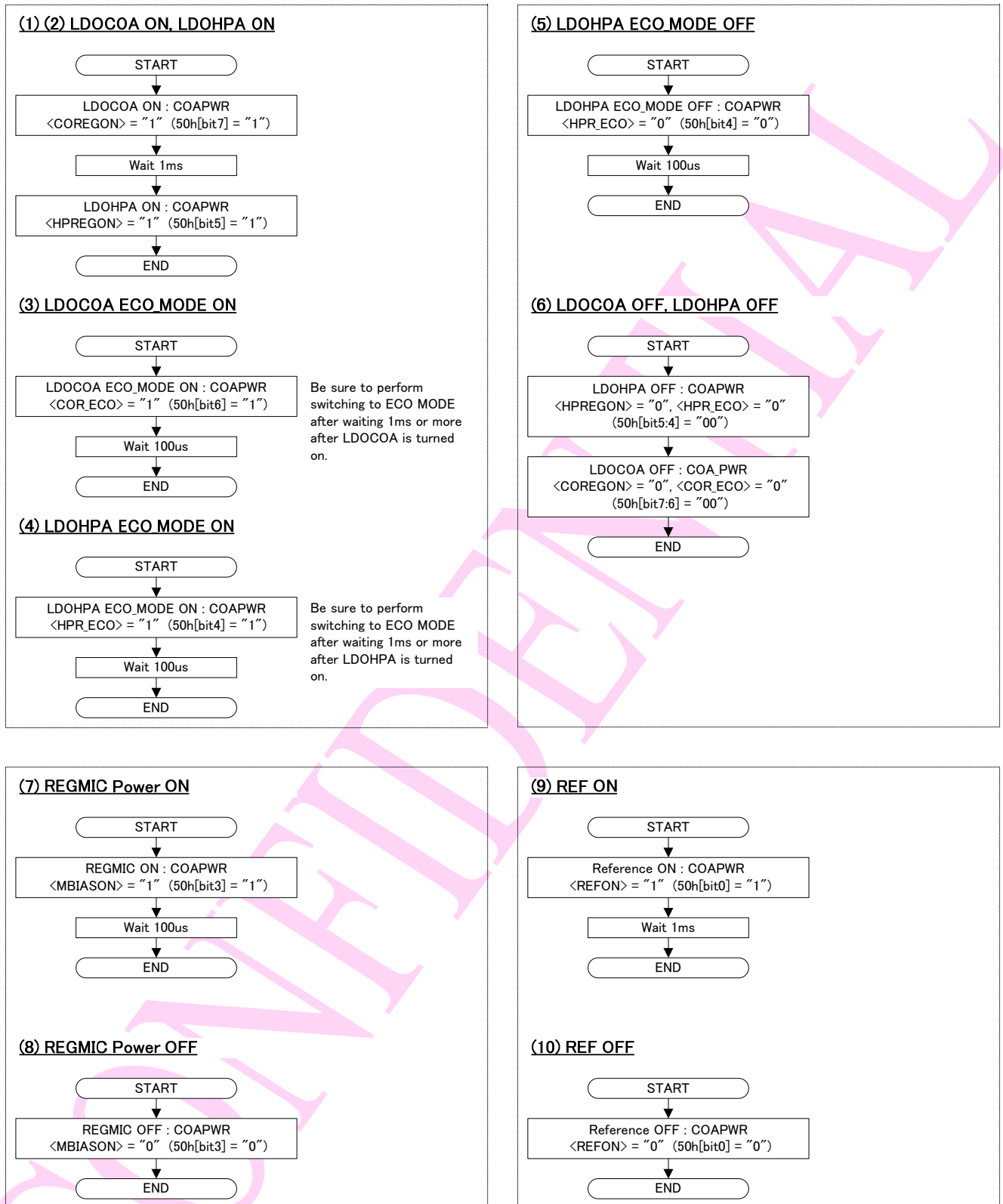
下一页开始将介绍编解码器的具体设置过程。
首先，整体设置流程及各个子部分将被介绍。
其后，相关的寄存器及通路设置也将以列子的形式进行介绍。

CONFIDENTIAL

■ 1. 整体流程 () : 各个子部分的设置流程将在其后的页面具体介绍

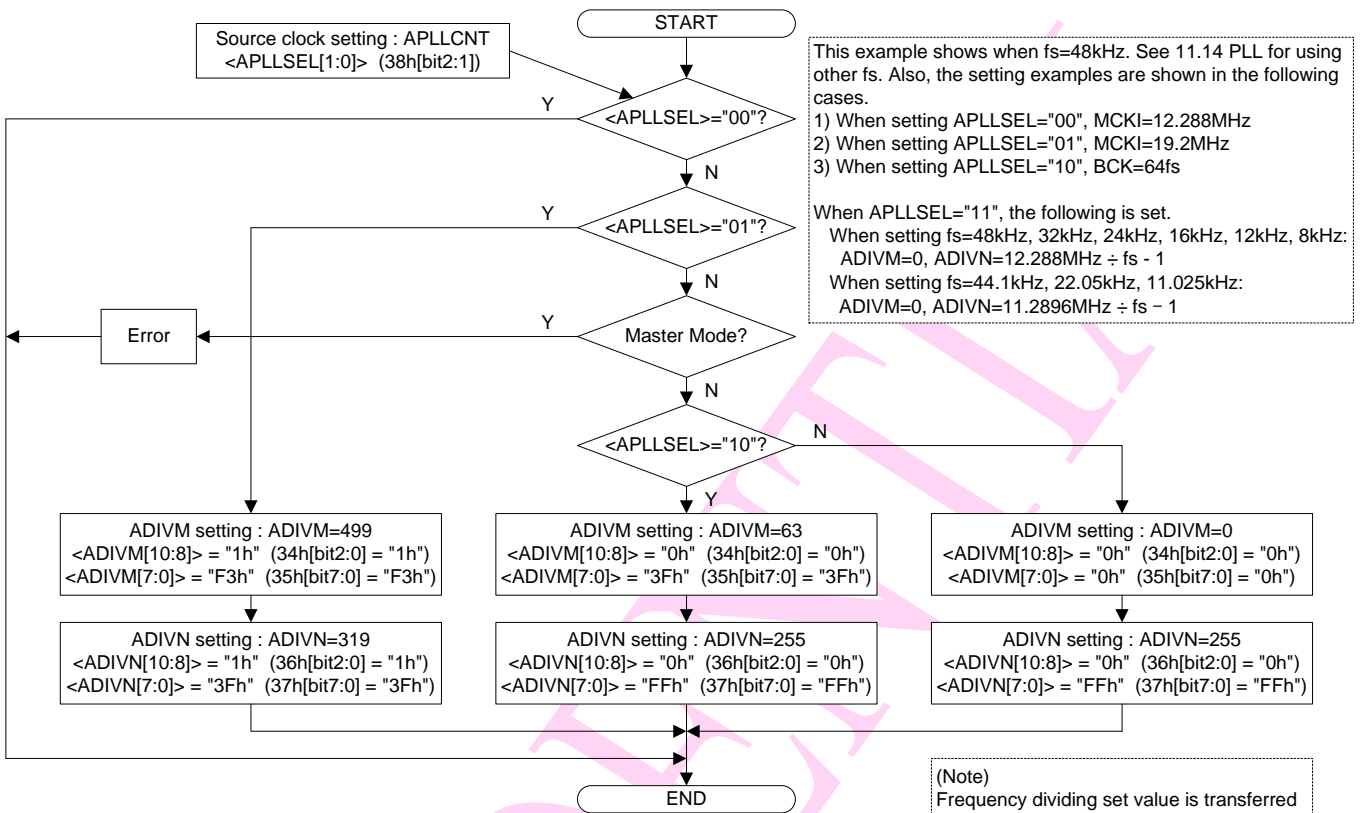


■ 2. 电源设置

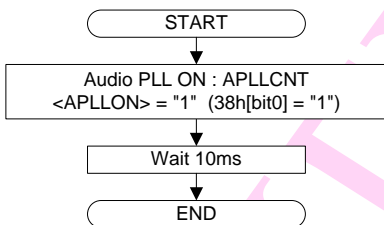


■ 3. PLL 设置

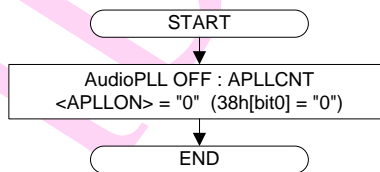
(11) CH1 Operating Clock setting



(12) Audio PLL ON



(13) Audio PLL OFF



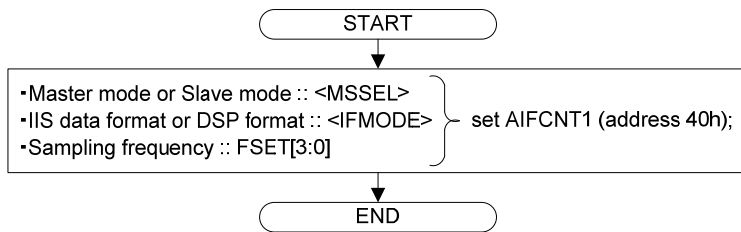
(14) CH2 Operating Clock setting : Same (11) CH1 Operating Clock setting schem.
APLLSEL→APLL2SEL, ADIVM→A2DIVM, ADIVN→A2DIVN

(15) Audio PLL2 ON : Same (12) Audio PLL ON schem.
APLLON→APLL2ON

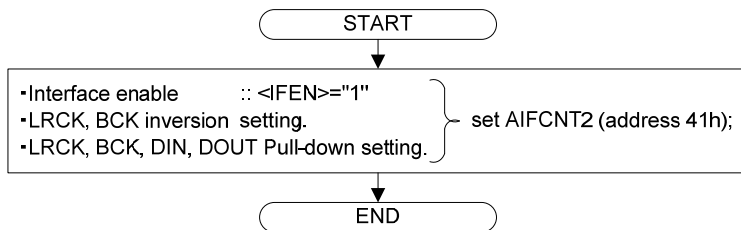
(16) Audio PLL2 OFF : Same (13) Audio PLL OFF schem.
APLLON→APLL2ON

■ 4. 数字接口设置

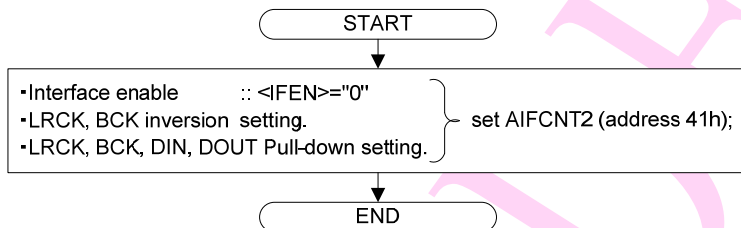
(17) CH1 Interface Mode setting



(18) CH1 Interface Enable



(19) CH1 Interface Disable



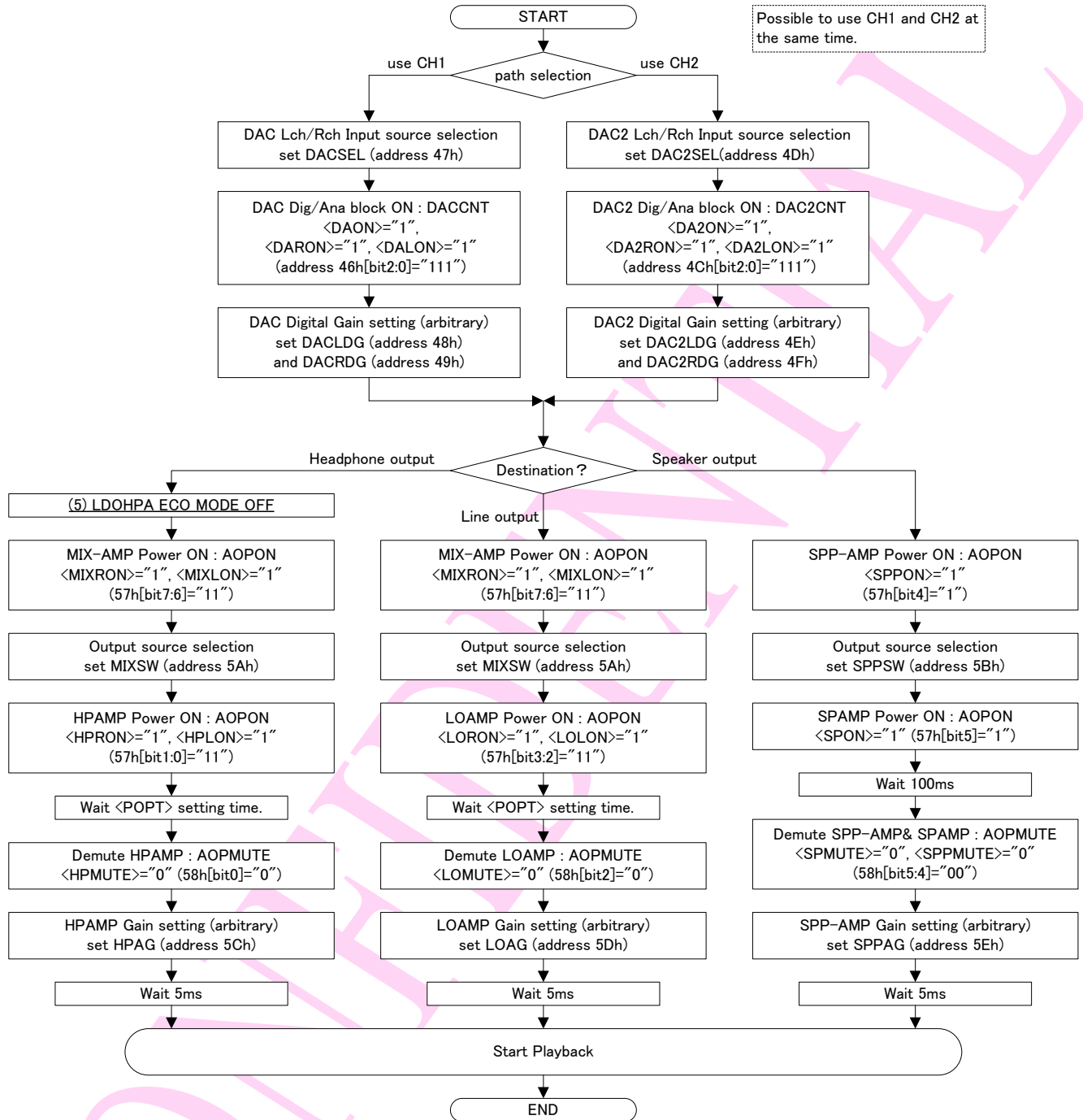
(20) CH2 Interface mode setting : Same (17) CH1 Interface Mode setting schem.
AIF2CNT1 (address 4Ah) (same AIFCNT1 setting)

(21) CH2 Interface Enable : Same (18) CH1 Interface Enable schem.
AIF2CNT2 (address 4Bh) (same AIFCNT2 setting)

(22) CH2 Interface Disable : Same (19) CH1 Interface Enable schem.
AIF2CNT2 (address 4Bh) (same AIFCNT2 setting)

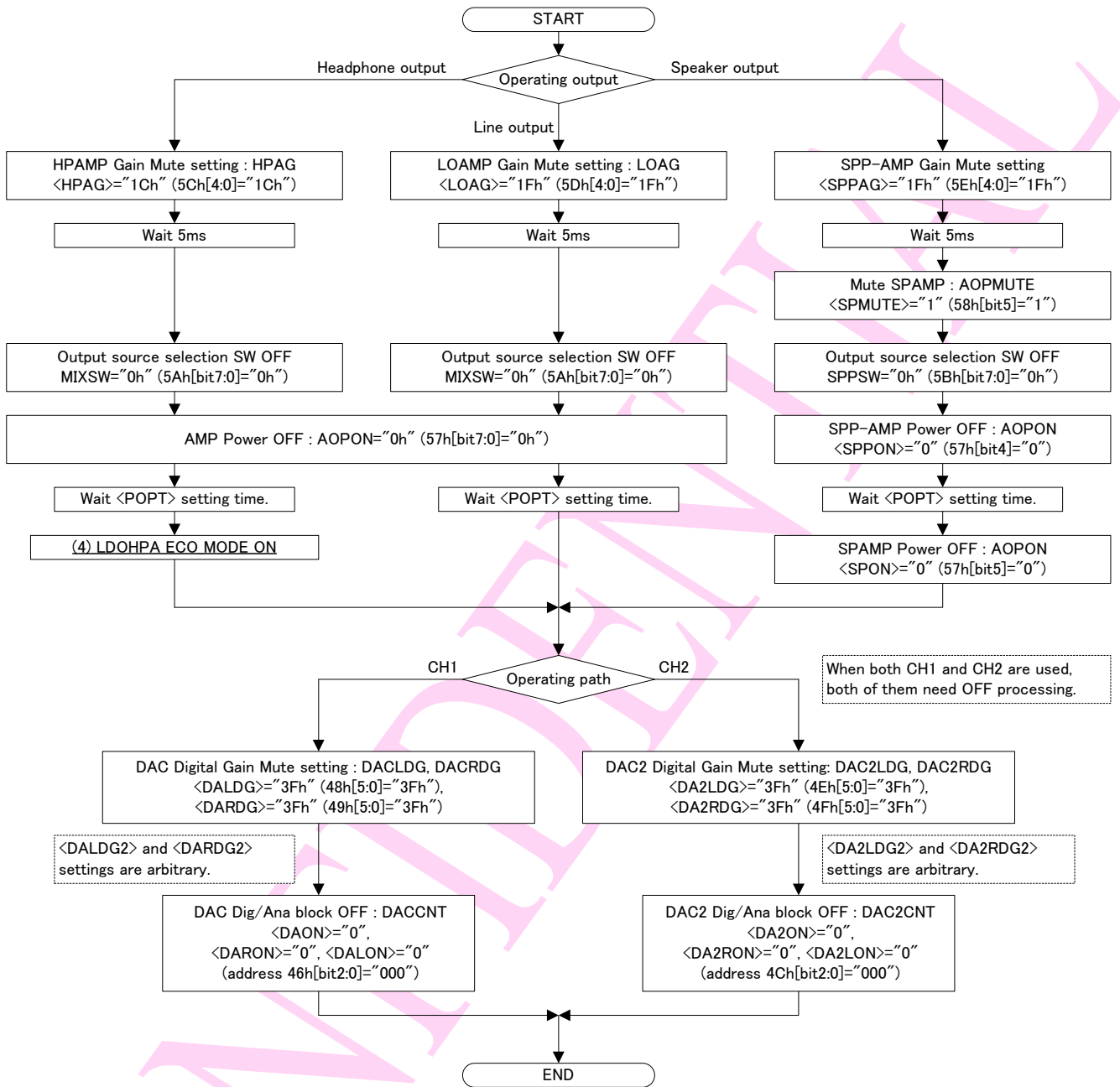
■ 5-1. 回放通路启动设置 (Playback Path)

(23) Playback Path Enable



■ 5-2. 回放通路终止设置 (Playback Path)

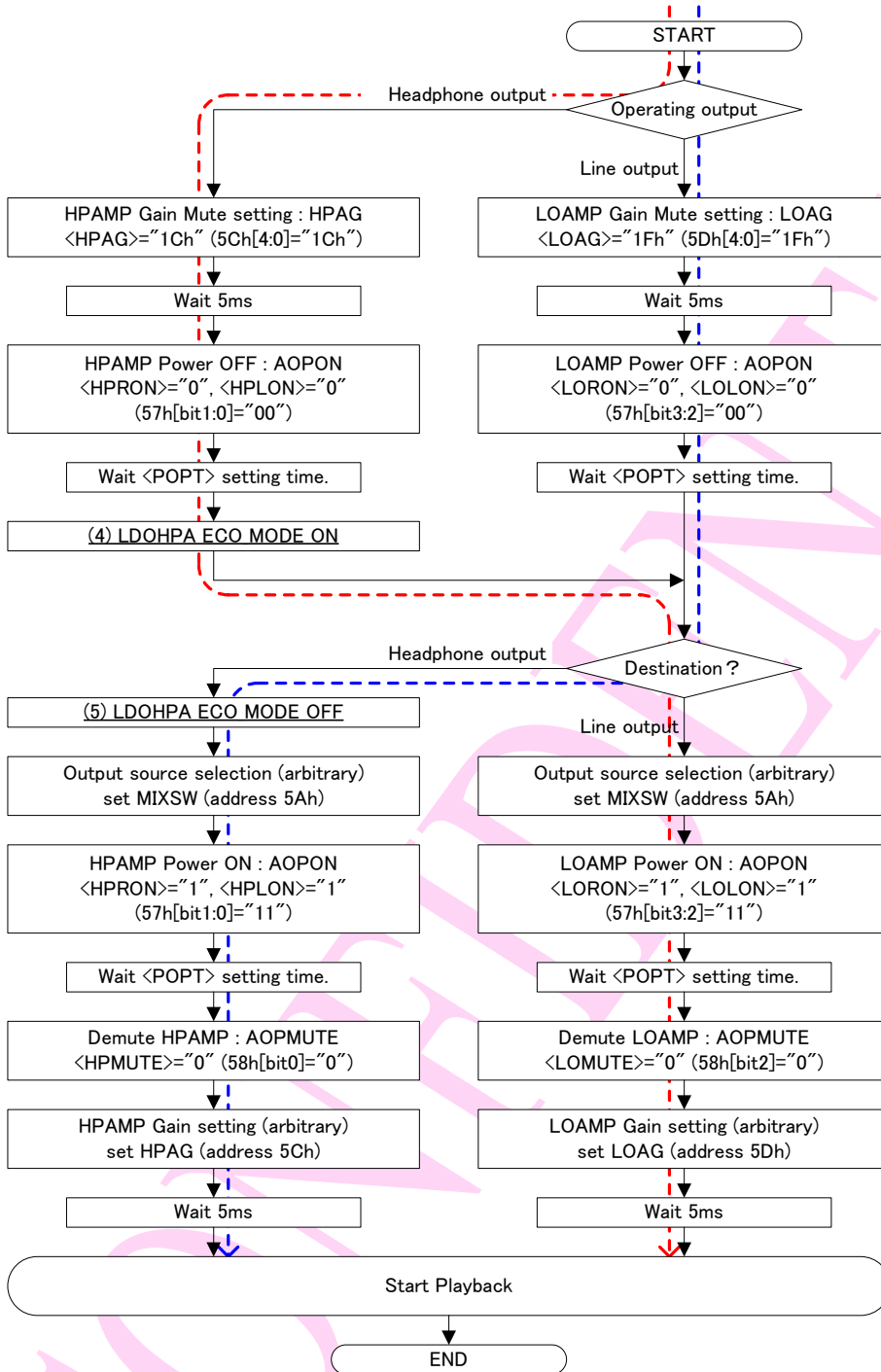
(24) Playback Path Disable



■ 5-3. 回放通路变更设置 (Case1)

(25) Change Playback Path

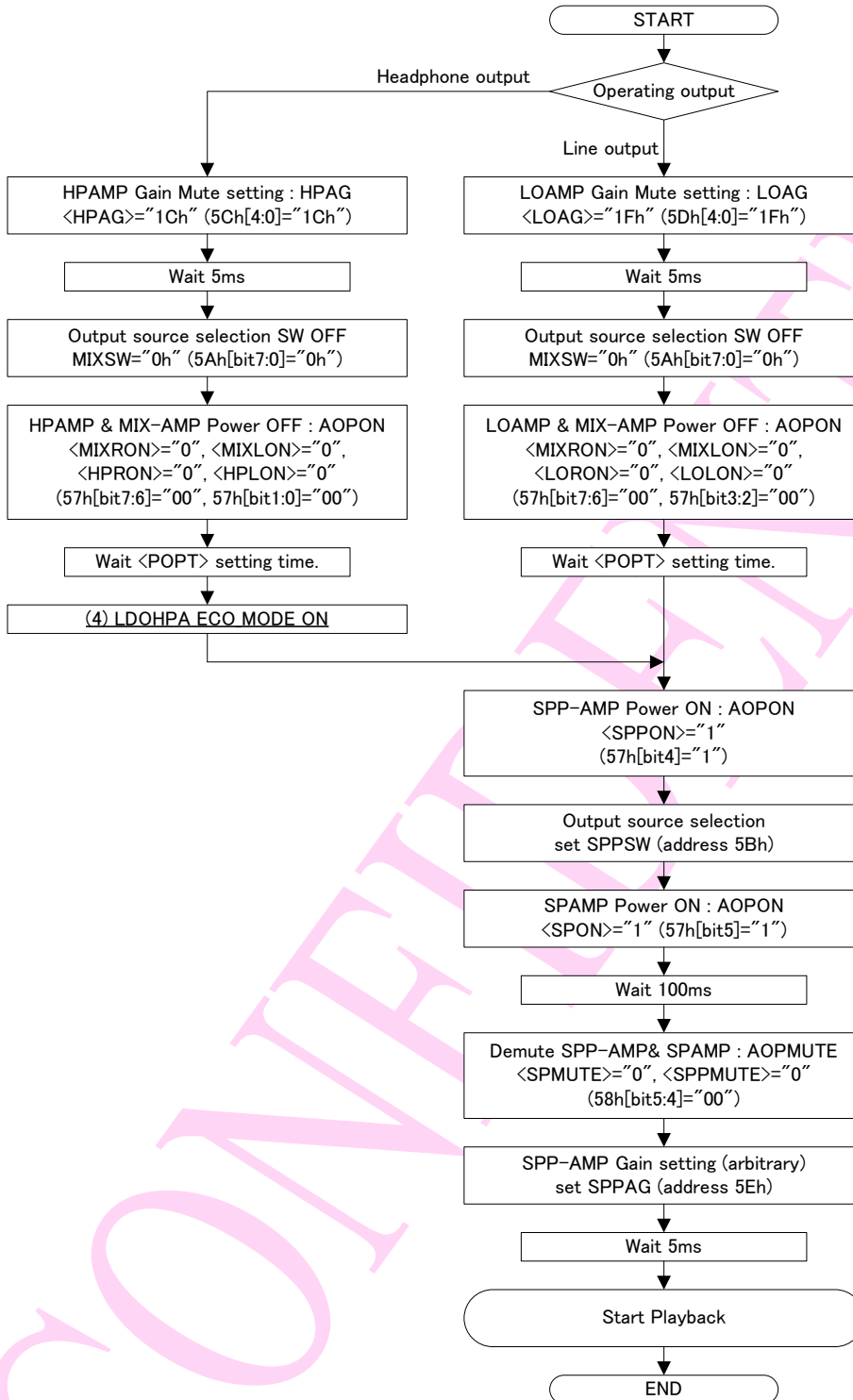
:: Headphone output ⇒ Line output, or Line output ⇒ Headphone output



■ 5-3. 回放通路变更设置 (Case2)

(26) Change Playback Path

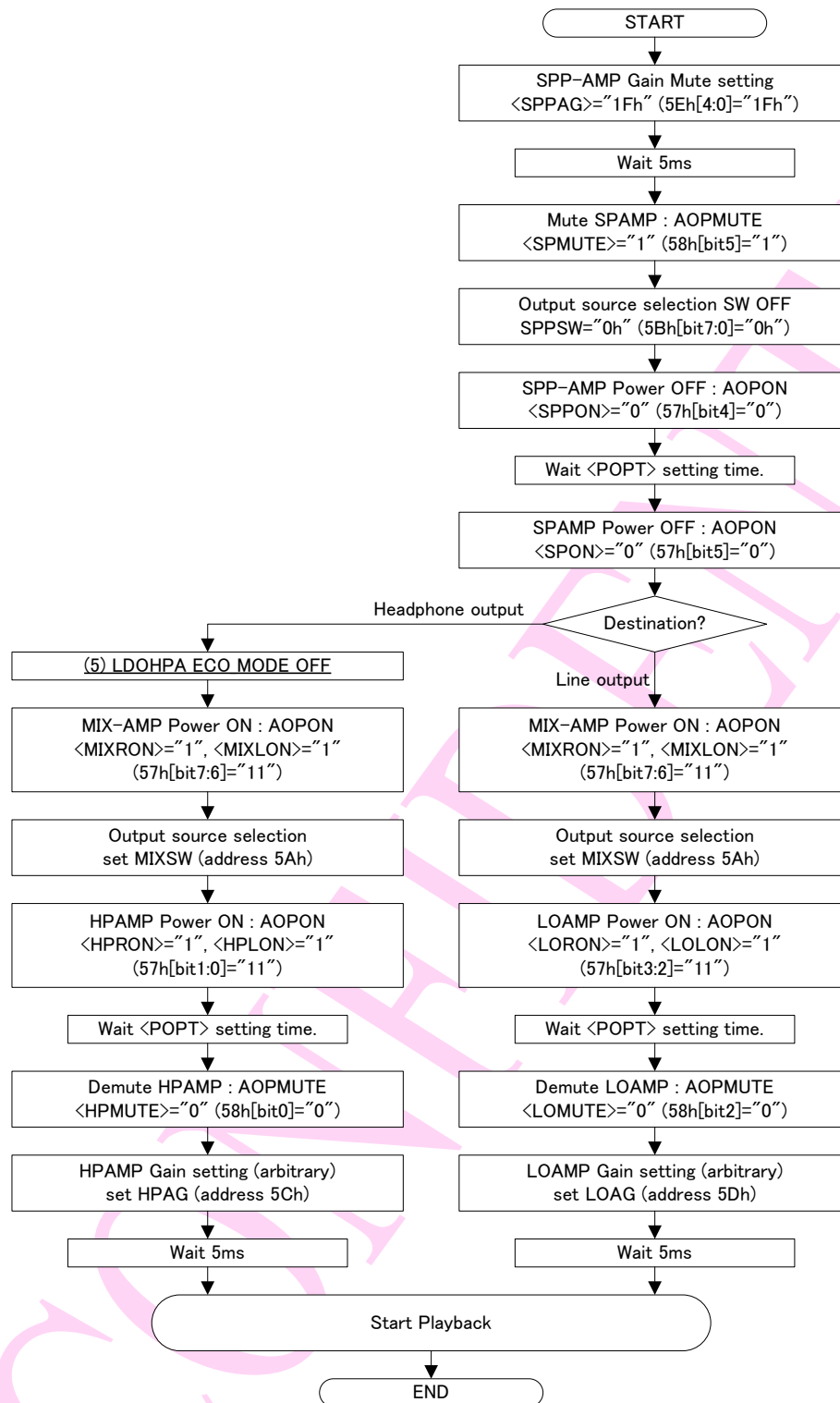
:: Headphone output or Line output ⇒ Speaker output



■ 5-3. 回放通路变更设置 (Case3)

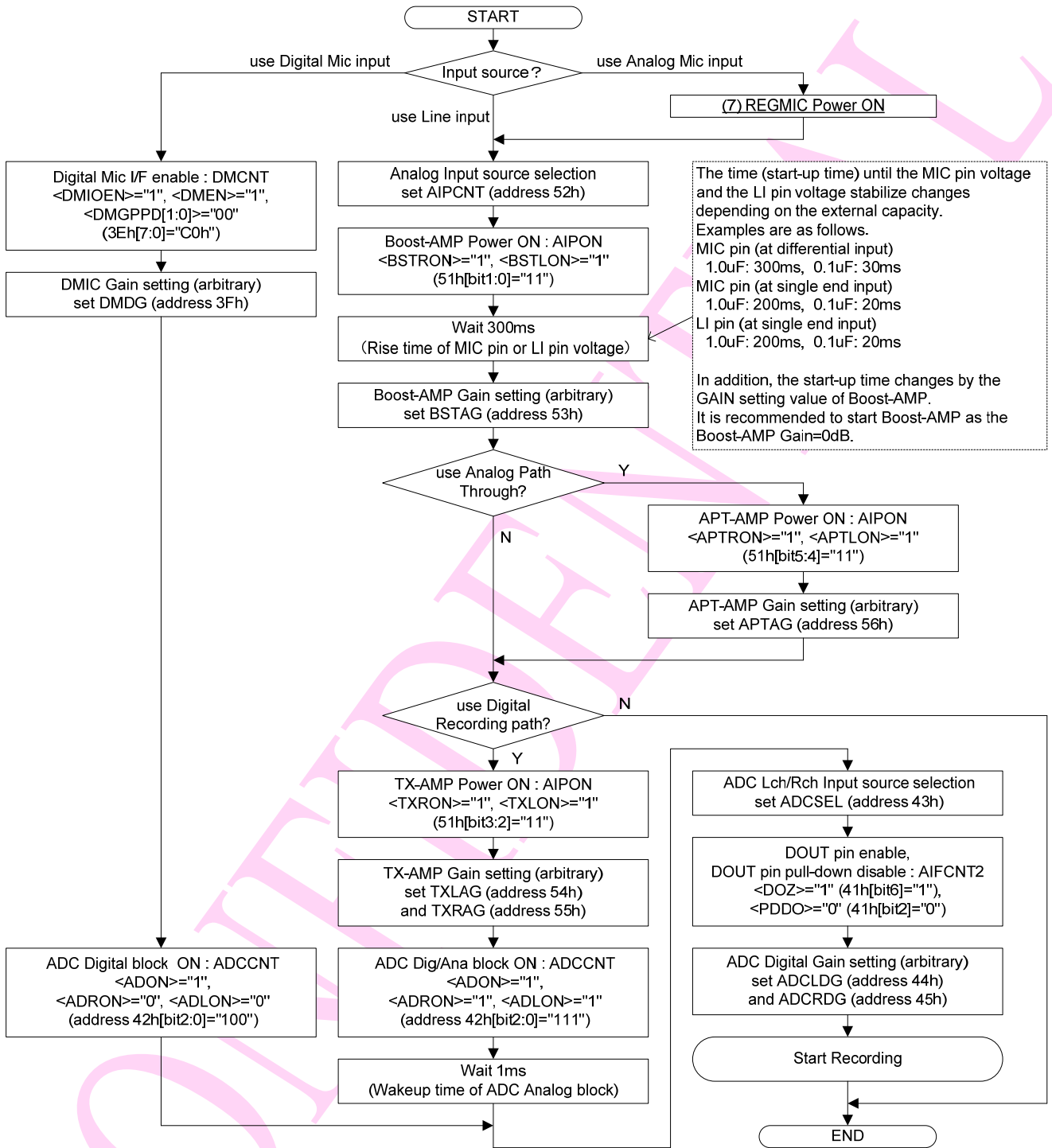
(27) Change Playback Path

:: Speaker output ⇒ Headphone output or Line output



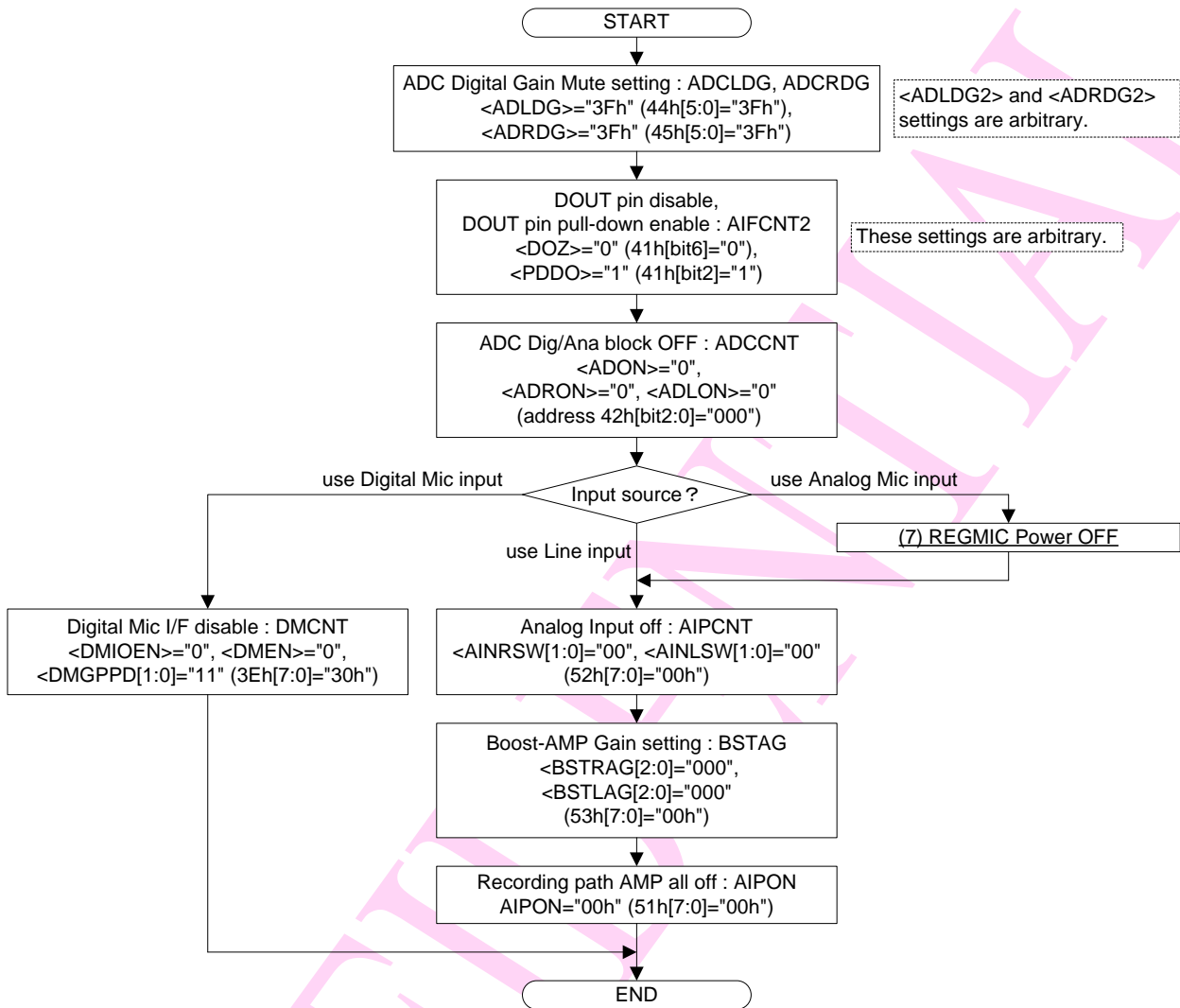
■ 6-1. 录音通路启动设置

(28) Recording Path Enable



■ 6-2. 录音通路终止设置

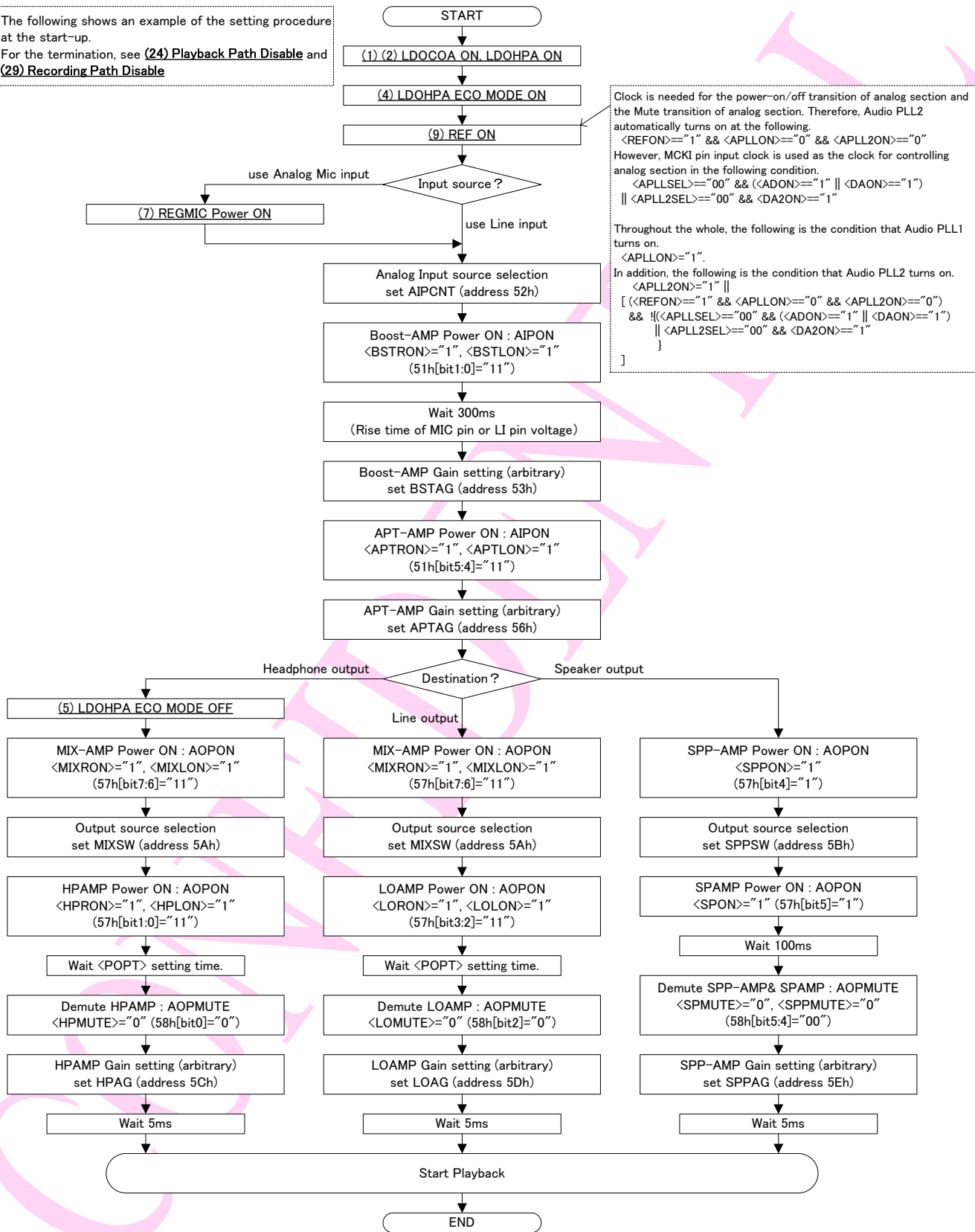
(29) Recording Path Disable



7. 模拟环路单独设置 (Only Analog Loop-back)

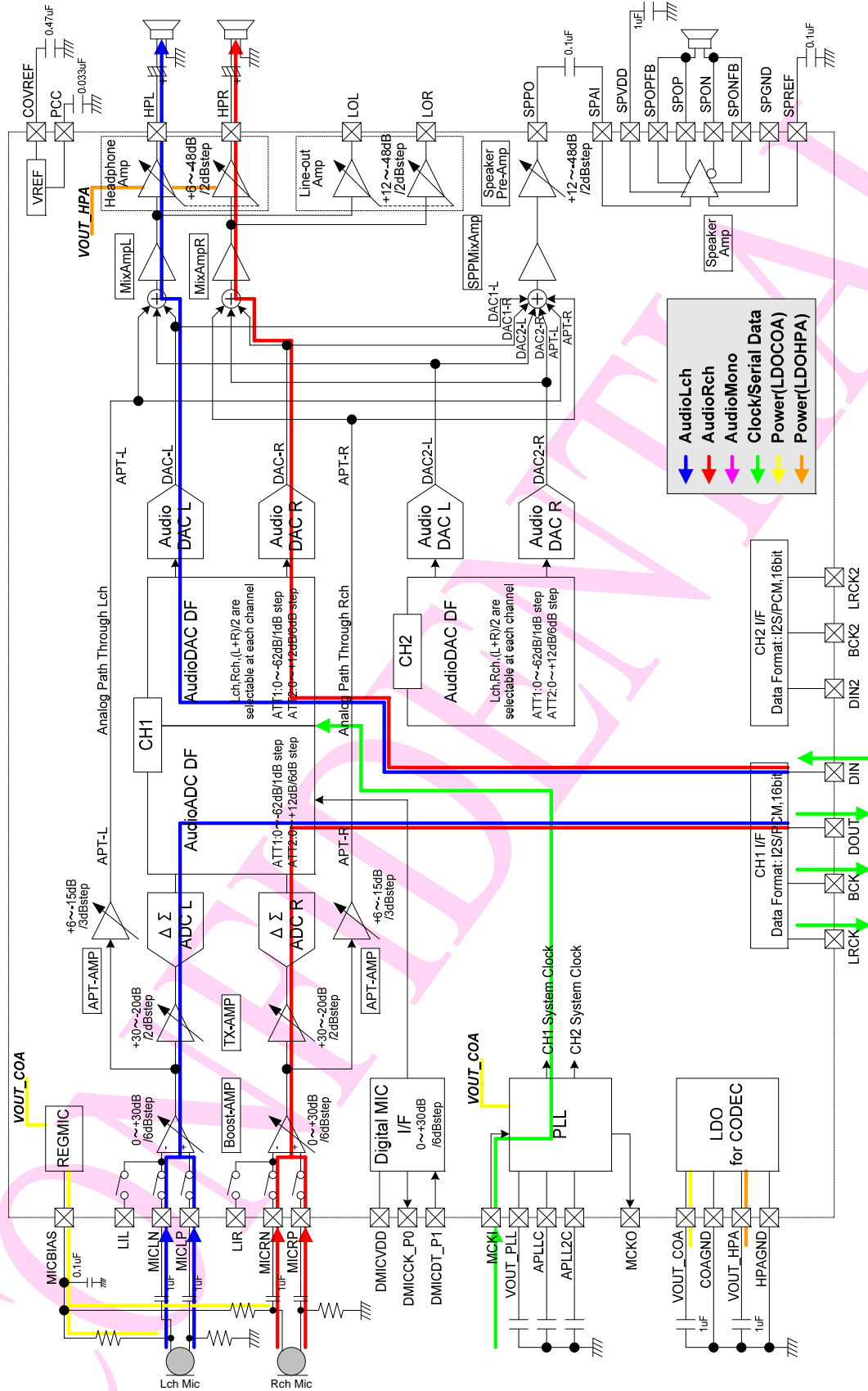
(30) Only Analog Loop-back Path (not using DAC block and ADC block)

The following shows an example of the setting procedure at the start-up.
For the termination, see (24) Playback Path Disable and (29) Recording Path Disable



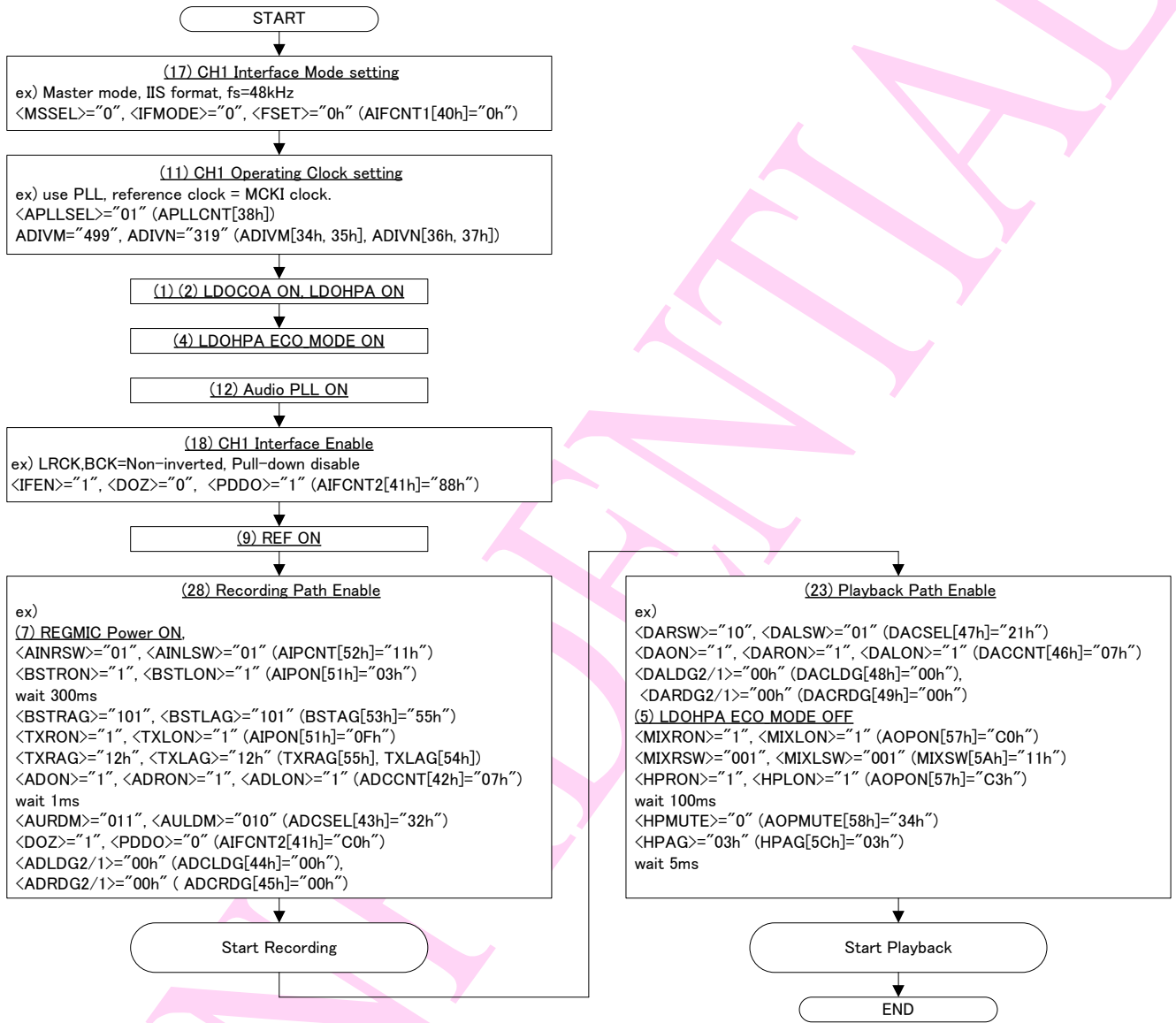
Clock is needed for the power-on/off transition of analog section and the Mute transition of analog section. Therefore, Audio PLL2 automatically turns on at the following.
 <REFON>="1" && <APLLON>="0" && <APLL2ON>="0"
 However, MCKI pin input clock is used as the clock for controlling analog section in the following condition.
 <APLLSEL>="00" && (<ADON>="1" || <DAON>="1")
 || <APLL2SEL>="00" && <DA2ON>="1"
 Throughout the whole, the following is the condition that Audio PLL1 turns on.
 <APLLON>="1".
 In addition, the following is the condition that Audio PLL2 turns on.
 <APLL2ON>="1" ||
 [(<REFON>="1" && <APLLON>="0" && <APLL2ON>="0")
 && !(<APLLSEL>="00" && (<ADON>="1" || <DAON>="1")
 || <APLL2SEL>="00" && <DA2ON>="1"
)]

■ EX-1. CH1 音频回放及录音 (信号通路)

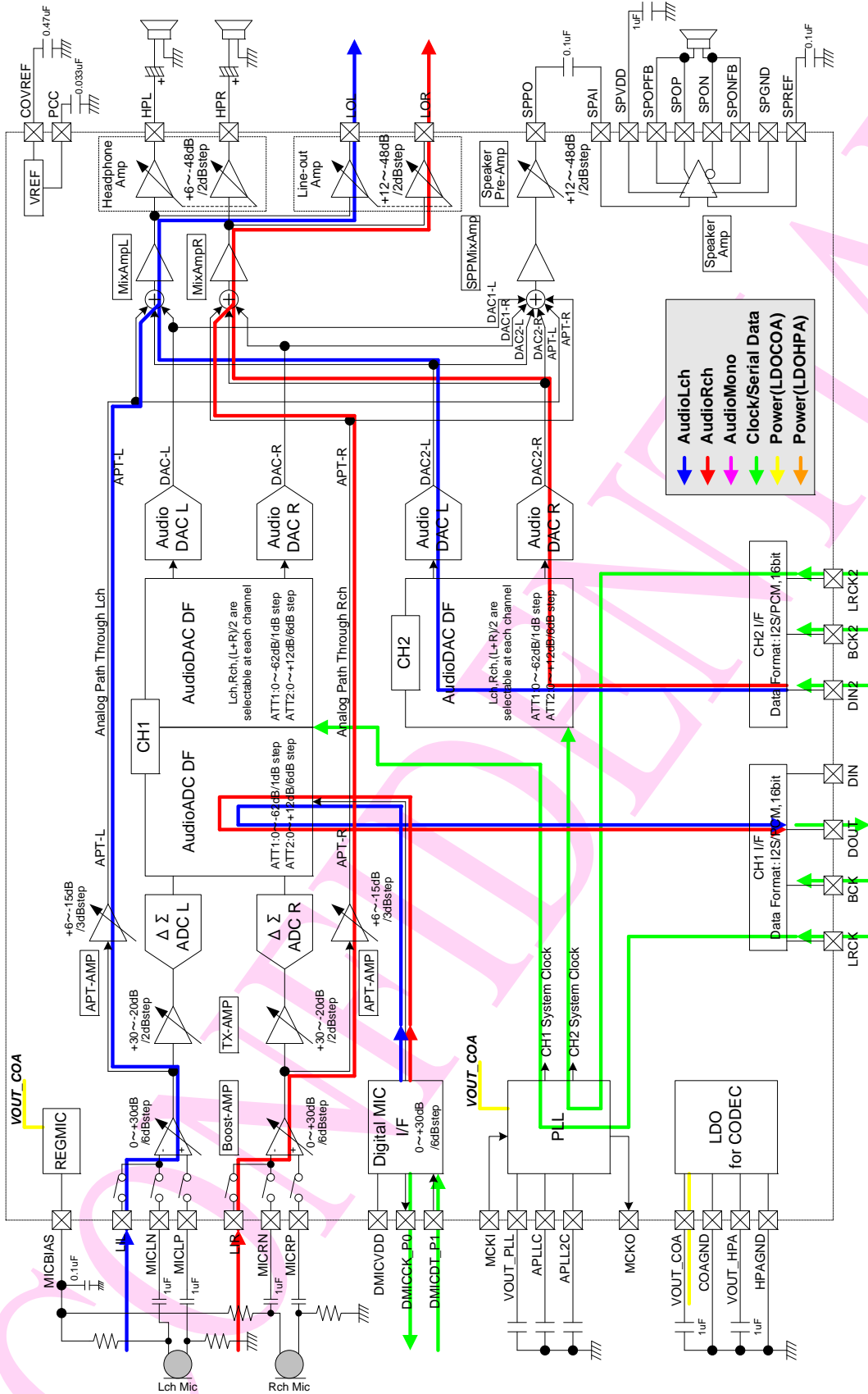


■ EX-1. CH1 音频回放及录音 (设置流程)

ex) CH1 is used. PLL is used in the external clock, MCKI clock frequency=19.2MHz, master mode, IIS format, fs=48kHz
 Audio playback path: stereo output to HPAMP, Power on-off sequence time=100ms, HP-AMP Gain="0dB"
 Audio recording path: stereo input from AnalogMIC, MICBIAS is used, Boost-AMP Gain="+30dB", TX-AMP Gain="-6dB",
 Digital Gain="0dB", Digital MIC and Analog Path Through are unused.



■ EX-2. CH1 音频录音 & CH2 音频回放 (信号通路)



■ EX-2. CH1 音频录音 & CH2 音频回放 (设置流程)

ex2)

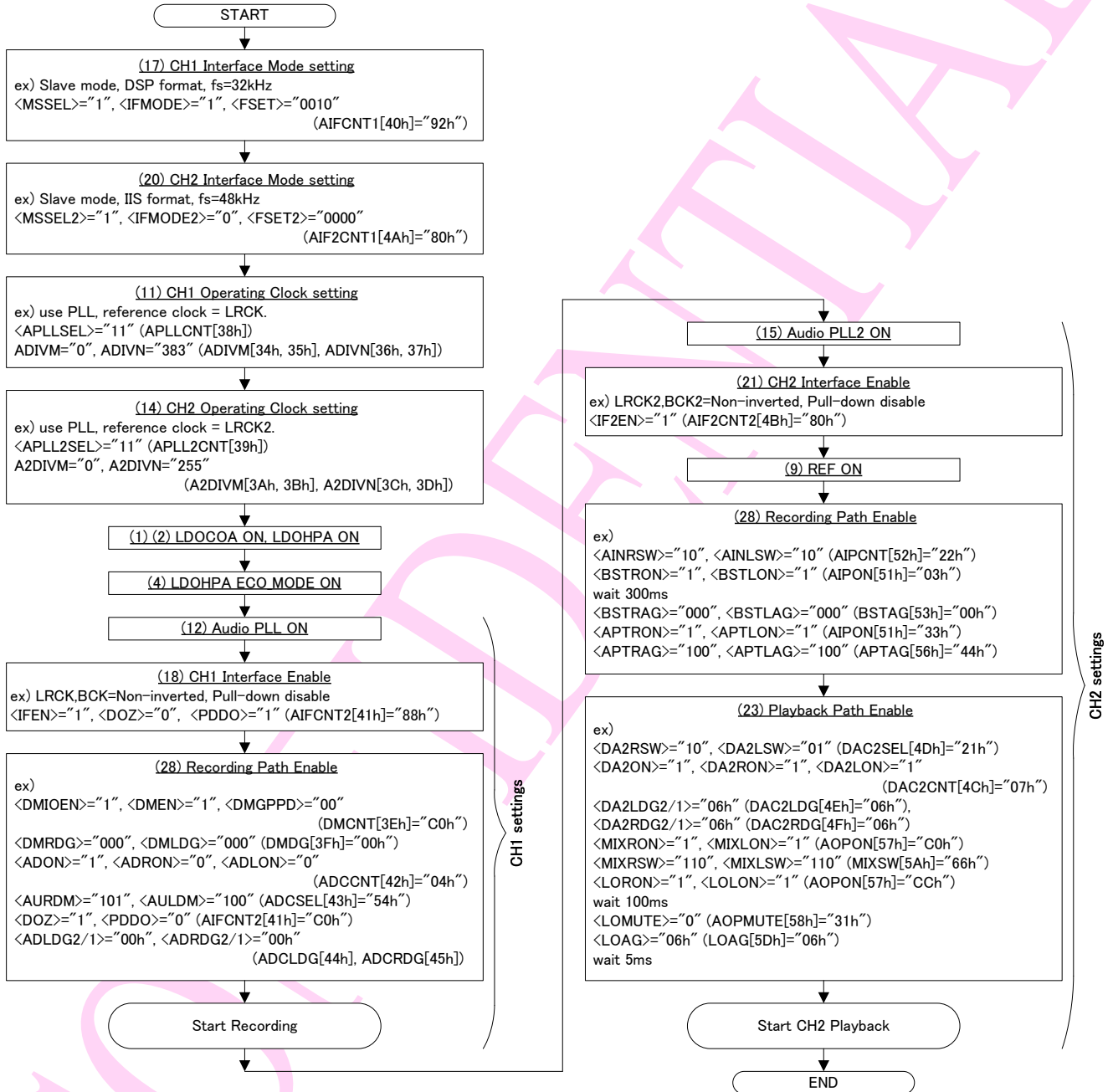
CH1: Slave mode, Reference clock=LRCK, DSP format, fs=32kHz, only Audio recording path is used.

Audio recording path: stereo input from Digital MIC, Digital MIC Gain="0dB", MICBIAS is unused, Digital Gain="0dB"

CH2: Slave mode, Reference clock=LRCK, IIS format, fs=48kHz.

Audio playback path: CH2 DAC stereo output + LineIn stereo input (by using Analog Path Through) ⇒ LineOut AMP output,

Boost-AMP Gain="0dB", APT-AMP Gain="-6dB", Line-out AMP Gain="0dB", Power on-off sequence time=100ms, Digital Gain="-6dB"



声明

1. 此规格书内所描述的产品及产品规格可能会被改版或停产，并不会有关具体原因（如产品改善等）的通知。因此，再决定采用本产品之前请向Ricoh销售代表查询最终有关信息资料。
2. 此规格书在事先未经Ricoh书面同意的情况下，不得复制或以其它方式部分或全部转载。
3. 在将本产品或其包含的技术信息出口或带离贵国时，请务必根据有关法律法规办理必要的手续。
4. 此规格书中所描述的技术信息展示了本产品的典型特性及应用电路。此类信息的发布不得解释为Ricoh和任何第三方对其知识产权或任何其他权利作出保证或授予许可。
5. 在此规格书内所列出的产品是作为在标准应用（如办公设备，电脑设备，测量仪器，消费电子产品，娱乐设备等）中使用的常规电子元件规划及设计的。如有客户希望在对质量或可靠性有极端要求的应用中使用本产品，例如在由于产品失效或误操作会导致人员伤亡的高特异性场合（飞机，航天机，核反应堆控制系统，交通控制系统，汽车和运输设备，燃烧设备，安全装置，生命支持系统等），请务必事先与我们联系。
6. 我们正在不断努力改善我们产品的质量及可靠性，但是半导体产品有一定概率的故障可能。为了防止此类故障导致的人员伤害或财产损失，客户应尽量合理地注意在其设计中引入安全防护措施，如添加冗余备援、火灾防止功能、故障安全防护功能。我们不承担任何由于滥用或不适当地使用本产品而造成损失或损害的责任。
7. 此规格书内所描述的产品不包含抗辐射设计。
8. 如果您有任何有关产品或技术信息的问题或意见请联系Ricoh销售代表。

2012 年 6 月

© RICOH 2012

此文档内的所有材料受日本版权法及世界各国其他适用法律和条约的保护。

除了个人或商业性的内部使用，在未获得Ricoh事先书面许可的情况下禁止复制、修改、转载本文档的全部或部分内容及传播、分发、许可、销售及出版任何材料内容。